

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: Hideaki ONO et al.

Filed : Concurrently herewith

For : CELL PROCESSING APPARATUS, ATM EXCHANGE AND CELL
DISCARDING METHOD

Serial No. : Concurrently herewith

November 17, 1999

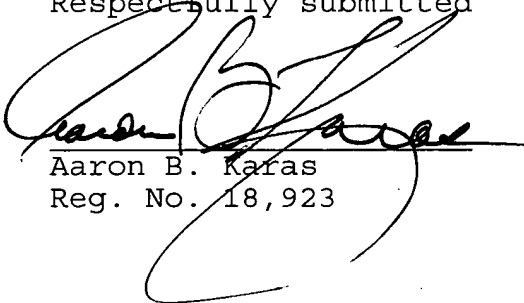
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

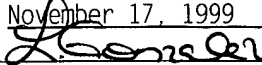
S I R:

Attached herewith is Japanese patent application No.
11-011766 of January 20, 1999 whose priority has been claimed
in the present application.

Respectfully submitted


Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUSA16.745
LHH:priority

Filed Via Express Mail
Rec. No.: EM367157290US
On: November 17, 1999
By 
Any fee due with this paper, not fully
Covered by an enclosed check, may be
Charged on Deposit Acct. No. 08-1634

BEST AVAILABLE COPY



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 1月20日

出 願 番 号
Application Number:

平成11年特許願第011766号

出 願 人
Applicant (s):

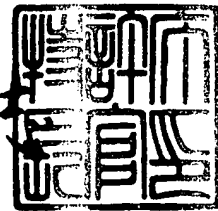
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 7月16日

特許庁長官
Commissioner,
Patent Office

佐々木 建



出証番号 出証特平11-3050599

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 9803851

【提出日】 平成11年 1月20日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/48

【発明の名称】 セル処理装置及びA T M交換機及びセル廃棄方法

【請求項の数】 20

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 小野 英明

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 武智 竜一

【発明者】

【住所又は居所】 宮城県仙台市青葉区一番町1丁目2番25号 富士通東北ディジタル・テクノロジー株式会社内

【氏名】 佐々木 博

【発明者】

【住所又は居所】 宮城県仙台市青葉区一番町1丁目2番25号 富士通東北ディジタル・テクノロジー株式会社内

【氏名】 佐々木 隆行

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100084711

【弁理士】

【氏名又は名称】 齋藤 千幹

【電話番号】 043-271-8176

【手数料の表示】

【予納台帳番号】 015222

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704946

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 セル処理装置及びATM交換機及びセル廃棄方法

【特許請求の範囲】

【請求項 1】 AALtype2セルをショートパケット毎にスイッチングするための処理を行うセル処理装置において、

1つのATMセルに収容できる長さLバイトより大きい長さのショートパケットを2つのATMセルに収容するように分割する手段、

第1のATMセルのペイロード領域に前記分割した一方のショートパケット部分とショートパケットの長さ情報を含む有意データを収容し、第2のATMセルのペイロード領域に第1セルに収容出来なかった残りの有意データを収容し、各ATMセルをATMスイッチに入力する手段、

を備えたことを特徴とするセル処理装置。

【請求項 2】 請求項 1 記載のセル処理装置において、更に、

ATMスイッチより出力される第1のATMセルに収容されているショートパケットの長さ情報を参照して、第1、第2のATMセルにそれぞれ収容されているショートパケット部分を抽出してLバイトを越える長さの元のショートパケットを復元し、AALtype2セル形式で回線に送出する復元手段、

を備えたことを特徴とするセル処理装置。

【請求項 3】 請求項 1 記載のセル処理装置において、

前記収容手段は、第1のATMセルのペイロードに収容するショートパケットの有意データ量が予め決められた量となるように有意データを第1のATMセルのペイロード部に収容し、残りの有意データを第2のATMセルのペイロード部に収容すること、を特徴とするセル処理装置。

【請求項 4】 請求項 2 記載のセル処理装置において、

更に、第1、第2のATMセルを識別するためのシーケンス番号情報を発生する手段を備え、

前記収容手段は、前記第1、第2のATMセルの特定の領域に前記シーケンス番号情報を付加し、前記復元手段は受信したATMセルのシーケンス番号情報を参照してセル廃棄の有無を検出すること、を特徴とするセル処理装置。

【請求項 5】 請求項 2 記載のセル処理装置において、

更に、第 1、第 2 の ATM セルを識別するためのコード情報を発生する手段を備え、

前記收容手段は、前記第 1、第 2 の ATM セルの特定の領域に前記コード情報を付加し、前記復元手段は受信した ATM セルのコード情報を参照してセル廃棄の有無を検出すること、を特徴とするセル処理装置。

【請求項 6】 請求項 4 または請求項 5 記載のセル処理装置において、

前記復元手段は、ATM スイッチより受信した ATM セルのペイロード部に收容されている有意データを保存し、セル廃棄を検出すれば保存している有意データを破棄すること、を特徴とするセル処理装置。

【請求項 7】 請求項 4 または請求項 5 記載のセル処理装置において、

前記特定の領域は ATM セルのペイロード内で、かつ、ショートパケットの有意データを格納しない領域であること、を特徴とするセル処理装置。

【請求項 8】 請求項 4 または請求項 5 記載のセル処理装置において、

前記特定の領域は ATM セルヘッダ内の未使用領域であること、を特徴とするセル処理装置。

【請求項 9】 請求項 4 または請求項 5 記載のセル処理装置において、

前記收容手段は、第 1、第 2 の ATM セルのペイロード領域にショートパケットヘッダを付加し、前記特定領域を各セルのショートパケットヘッダ内の未使用領域とすること、を特徴とするセル処理装置。

【請求項 10】 請求項 2 記載のセル処理装置において、

更に、有意データの誤りを検出するための符号を発生する手段を備え、

前記收容手段は、第 2 の ATM セルの特定の領域に前記誤り検出符号を付加し、前記復元手段は受信した ATM セルのペイロード領域の有意データを用いて誤り検出符号を計算し、計算した符号と受信した符号を比較してセル廃棄の有無、データのビット誤りを検出すること、を特徴とするセル処理装置。

【請求項 11】 AALtype2 セルをショートパケット毎にスイッチングするための処理装置において、

1 つの ATM セルに收容できる長さ L バイトより大きい長さのショートパケット

を2つのATMセルに収容するように分割する手段、

第1、第2のATMセルに前記分割されたショートパケット部分を収容すると共に、該収容した有意データの長さを識別する長さ情報が付加されたショートセルヘッダをそれぞれ収容し、各ATMセルをATMスイッチに入力する手段、

ATMスイッチより出力される第1、第2のATMセルのショートセルヘッダに含まれる前記長さ情報を参照して各ATMセルに収容されているショートパケット部分の長さを判別し、該長さ情報に基づいて各ATMセルよりショートパケット部分を取り出してLバイトを越える長さの元のショートパケットを復元し、AALtype2セル形式で回線に送出する復元手段、

を備えたことを特徴とするセル処理装置。

【請求項12】 請求項11記載のセル処理装置において、

前記収容手段は、第1セルにLバイトの有意データを、第2セルに残りの有意データを収容し、かつ、第1セルの長さ情報LIを特定値例えば0にし、第2セルの長さ情報LIをショートパケット長に応じた値にすること、を特徴とするセル処理装置。

【請求項13】 請求項12記載のセル処理装置において、

前記復元手段は、連続してLI=特定値のセルを検出したとき、あるいは、連続してLI>45以上のセルを検出したとき、セル廃棄があったものと判定し、ショートパケットを完成できない有意データを破棄すること、を特徴とするセル処理装置。

【請求項14】 AALtype2セルをショートパケット毎にスイッチングするための処理装置において、

1つのATMセルに収容できる長さLバイトより大きい長さのショートパケットを2つのATMセルに収容するように分割する手段、

第1、第2のATMセルのペイロード部に前記分割されたショートパケット部分を収容すると共に、各ショートパケット部分の長さを識別するための情報が付加されたショートセルヘッダをそれぞれ収容し、かつ、各ATMセルの所定位置にセルを識別するためのコード情報を付加し、各ATMセルをATMスイッチに入力する手段、

ATMスイッチより出力される第1、第2のATMセルに含まれる前記長さ情報を参照して各ATMセルに収容されているショートパケット部分の長さを識別し、かつ、コード情報を参照して第1、第2セルの識別を行い、識別情報に基づいて各ATMセルよりショートパケット部分を取り出してLバイトを越える長さの元のショートパケットを復元し、AALtype2セル形式で回線に送出する復元手段、
を備えたことを特徴とするセル処理装置。

【請求項15】 請求項14記載のセル処理装置において、
前記復元手段は受信したATMセルのコード情報を参照してセル廃棄の有無を検出し、セル廃棄が検出されたときショートパケットの完成が不可能な有意データを破棄すること、を特徴とするセル処理装置。

【請求項16】 AALtype2セルを取り扱うATM交換機において、
1つのATMセルに収容できる長さLバイトより大きい長さのショートパケットを含んだAALtype2セル受信し、該ショートパケットを分割して2つの標準のATMセルに変換する前処理装置、

前記前処理装置から入力する標準のATMセルをそのATMセルヘッダを参照して所定の出方路にスイッチングするATMスイッチ、

ATMスイッチの出方路側に設けられ、前記分割されたショートパケットに基づいて作成された2つの標準のATMセルを受信し、これら標準のATMセルを用いて元のLバイトを越える長さのショートパケットを組み立て、該ショートパケットをAALtype2セル形式で回線に出力する復元装置、

を備えたことを特徴としたATM交換機。

【請求項17】 ショートパケットを含むAALtype2セルをスイッチングするATM交換方法において、

1つのATMセルに収容できる長さLバイトより大きい長さのショートパケットを含んだAALtype2セル受信し、

該ショートパケットを分割して2つの標準のATMセルを作成してATMスイッチに入力し、

ATMスイッチにおいて、標準のATMセルをそのATMセルヘッダを参照して所定の出方路にスイッチングし、

前記分割されたショートパケットに基づいて作成された 2 つの標準の ATM セルを ATM スイッチより受信し、

これら標準の ATM セルを用いて元の L バイトを越える長さのショートパケットを組み立て、該ショートパケットを AALtype2 セル形式で回線に出力する

ことを特徴とする ATM 交換方法。

【請求項 1 8】 1 つの ATM セルに収容できる長さ L バイトより大きい長さのショートパケットを分割し、分割に得られたショートパケット部分を 2 つの ATM セル（前半セル、後半セル）に収容し、ATM セル毎に ATM スイッチでスイッチングし、スイッチング後にこれら前半セル、後半セルを用いて元の L バイトを越える長さのショートパケットを復元し、該ショートパケットを AALtype2 セル形式で回線に出力し、前半セルだけが到着し、後半セルが到着しなかった場合に前半セルを廃棄する ATM 交換機におけるセル廃棄方法において、

到着済みの前半セルに対応する後半セルの到着の有無を示すデータをメモリに記憶し、

一定周期でポーリングにより前記データを読み出して後半セルの到着の有無を調べ、

所定回数以上前記データを調べても後半セルが到着していなければ前半セルを廃棄すること、

を特徴とするセル廃棄方法。

【請求項 1 9】 1 つの ATM セルに収容できる L バイトより大きい長さのショートパケットを分割し、分割に得られたショートパケット部分を 2 つの ATM セル（前半セル、後半セル）に収容し、ATM セル毎に ATM スイッチでスイッチングし、スイッチング後にこれら前半セル、後半セルを用いて元の L バイトを越える長さのショートパケットを復元し、該ショートパケットを AALtype2 セル形式で回線に出力し、前半セルだけが到着し、後半セルが到着しなかった場合に前半セルを廃棄する ATM 交換機におけるセル廃棄方法において、

前半セルの到着時刻、到着済み前半セルに対応する後半セルの到着の有無を示すデータ、前半セルの到着順序を示すチェーンデータをそれぞれメモリに記憶し

到着順序が先頭の前半セルであって、対応する後半セルが到着していない前半セルの到着時刻と現在時刻との差を演算し、

該差が規定時間を超えていれば、該先頭の前半セルを廃棄し、かつ、次の順序の前半セルを先頭の前半セルとすること、

を特徴とするセル廃棄方法。

【請求項 2 0】 請求項 1 9 記載のセル廃棄方法において、

後半セルが到着した時刻を記憶し、

該後半セルの到着時刻と現在時刻を比較し、所定時間経過しても回線に送出されない到着済みの前半セル及び後半セルを廃棄すること、を特徴とするセル廃棄方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はセル処理装置及びATM交換機及びセル廃棄方法に係わり、特に、ATM(非同期転送モード)を用いた通信分野におけるAALtype2セルを取り扱うセル処理装置及びATM交換機及びセル廃棄方法に関する。

【 0 0 0 2 】

【従来の技術】

ATM伝送では、ATMセルのペイロードに情報を詰め込み、該ATMセルを予め設定したATMコネクションを介して伝送することにより情報の伝送を行う。すなわち、ATMセルのヘッダに宛先情報(VPI/VCI: 仮想パス識別子/仮想チャネル識別子)が埋め込まれ、該VPI/VCIに従ってATMセルはATMネットワーク内の所定のATMコネクションを介して伝送され、これによりペイロードに詰め込まれた情報が伝送される。

【 0 0 0 3 】

ところで、移動通信の分野では通信帯域の有効利用を図るため、データを圧縮処理により低ビットレートのデータ形式に変換して伝送する。このような低速ビットレートの情報を標準のATMセルのペイロードに埋め込むと、一つのATMセルのペイロードがデータで満たされるのに時間を要する。このため、データの遅延を

生じ、通信の品質低下を招くおそれがある。そこで、低ビットレートの情報を少ない遅延で伝送可能な方式として、AALtype2と呼ばれる多重転送方式が、ITU-T I.363.2により勧告されている。このAALtype2は、移動通信ネットワークで使用されるような低ビットレート情報の転送に適しており、低遅延かつ帯域の有効利用を図ることができる転送方法である。

【0004】

図54及び図55はAALtype2のフォーマット説明図であり、図56はAALtype2による転送方式の概念図である。図54に示すように、AALtype2形式のセルは、標準セルヘッダと標準セルペイロードで構成され、標準セルペイロードに1バイトのスタートフィールドSTFと1以上のショートセルがマッピングされる。スタートフィールドSTFは、(1)最初のショートセル先頭位置を示すポインタ（オフセット値）が格納されるオフセットフィールドOFS、(2)1ビットシーケンス番号を記憶するフィールドSN、(3)パリティフィールドPで構成される。

ショートセルは、固定長のショートセルヘッダと可変長のショートセルペイロードで構成され、ショートセルヘッダには、(1)ショートセルコネクションを識別するためのCID（ショートセルコネクション識別子）、(2)ショートセルのペイロード長を示す長さ表示（LI：Length Indicator）、(3)ユーザ・ユーザ識別子UUI等が埋め込まれ、ショートセルペイロードには、上記した低ビットレートの情報が埋め込まれる。尚、LIはショートパケット長より4を引いた数である。

【0005】

AALtype2セルには、複数個のショートセルが多重化された状態で格納される。このとき、ショートセルの一部が一個のAALtype2セルのペイロードに収まりきらない場合には、図56に示すように、ショートセルの残りの部分が次のAALtype2セルにマッピングされる（「オーバーラップ」と称する）。そして、AALtype2セルは、ヘッダに格納されたVPI/VCIに従って所定のATMコネクション上を伝送される。

【0006】

ところで、AALtype2セルをATMコネクションで伝送する場合、以下の問題がある。即ち、AALtype2セルのペイロードには上述のように異なるCIDを持つ複数個

のショートセルが多重される。しかし、ATM交換機はATMセル単位でスイッチングするものであるため、個々のショートセル単位でスイッチングを行うことができず、各ショートセルを所望の宛先へ伝送することができない。

そこで、ATM交換機は入力されたAALtype2セルから複数個のショートセルを抽出し、各ショートセルを一つずつペイロードに格納したATM標準セル（「パシヤルフィルセル」と称する）を複数個生成し（図57参照）、このパシヤルフィルセル毎にATMスイッチでスイッチングを行うことにより、ショートセル単位でのスイッチングを可能にしている。ATMスイッチでスイッチングされたパシヤルフィルセルは該ATMスイッチの出力側に設けられたメモリに一時的に格納され、適宜AAL2typeセル形式に復元されて回線に送出される。この場合、パシヤルフィルセルがメモリに長時間滞留すると、メモリが満杯になって新たなパシヤルフィルセルを記憶できず誤動作が発生する。そこで、メモリの有効利用及び誤動作発生を防止するために、長時間滞留するパシヤルフィルセルを廃棄する制御が必要になる。

【0007】

図58はかかるセル遅延廃棄制御を実現する従来の概略構成図である。図中、101は空アドレス管理FIFO部、102は入力データ、データ到着時刻を空きアドレスに格納すると共に、入力データの到来順を示すチェーンデータ（図示せず）を記憶する入力データ格納メモリ部、103は現在時刻を監視する時刻カウンタ部（タイマ）、104はチェーン先頭位置を示すレジスタ部、105は現在時刻と到着時刻を比較して遅延規定時間を経過したか調べる遅延規定時間比較部、106は遅延規定時間を記憶するレジスタ部である。

【0008】

空アドレス管理FIFO 101は入力データ格納メモリ部102の空きアドレスを管理している。入力データ格納メモリ部102は、空アドレス管理FIFOから書き込みアドレスWaddを受け取り、入力データと時刻カウンタ103から出力するタイムスタンプ値（現在時刻）とを格納する。尚、格納されたデータは入力順にチェーンデータでつながれる。遅延規定時間比較部105は周期的に、(1) チェーン先頭位置レジスタ部104がポイントする先頭データの到着時刻と時刻カ

ウンタ部 103 が出力する現在時刻との差分を算出し、(2) 該差分と遅延規定時間レジスタ部 106 に設定されている規定値との大小を比較し、(3) 差分が規定値をオーバーしていれば、換言すれば、

$(\text{到着時刻} + \text{遅延規定時間}) \leq \text{現在時刻}$

であれば、長時間滞留しているものとしてデータの廃棄指示を行い、該データを記憶アドレスを空きアドレスにする。以後、先頭データを次の入力順のデータとして上記遅延廃棄処理を繰り返す。

【0009】

【発明が解決しようとする課題】

ところで、ITU-T勧告 I.363.2 では、4 バイト長から 48 バイト長の可変長セルをデフォルトとして使用する事となっているが、オプションとして 48 バイトを超え、最大長 67 バイト (ショートパケットのペイロード最大長 64 バイト) までの情報転送を許容している。

図 59 は、AALtype2 形式での 48 バイトを超える長さのショートパケットの例を示すもので、(a) は 64 バイトのショートパケットが 2 セルにオーバーラップした場合、(b) は 3 セルにオーバーラップした場合を示している。ATM セルペイロードの 1 バイト目に設けられた STF (スタートフィールド) 内の OSF (オフセット) は、ショートパケットの先頭がどの位置にあるかを示す為のもので、STF からショートパケット先頭までのオフセットバイト数を表示する。

【0010】

従来技術では、ショートセルが 48 バイト以下であることを想定しており、分離装置において ATM スイッチに入力する前に AALtype2 セルよりショートセルを 1 つずつ取り出してパーシャルフィルセルに変換し、各パーシャルフィルセルを ATM スイッチに入力するものであった。しかし、ショートセルが 48 バイトを越えると、パーシャルフィルセルのペイロード長 (すなわち ATM セルのペイロード長) は 1 セルあたり 48 バイトしかないため、分離装置はペイロード長を越える長さを持つショートセルを処理することができない。つまり、従来技術では 49 バイトから 67 バイトまでの長さのショートセルを取り扱うことが不可能であった。

又、以上のように従来技術は 48 バイト超過の入力セルに対応しておらず、しか

も、1個のパーシャルフィルセル毎に遅延廃棄処理を行うもので複数のパーシャルフィルセル毎の遅延廃棄処理ができない問題がある。

【 0 0 1 1 】

以上から本発明の目的は、48バイトを越える長さのショートセルを処理できるようにすることである。

本発明の別の目的は、標準ATMセルを処理する既存のATMスイッチをそのまま使用できるようにすることである。

本発明の別の目的は、48バイトを超える長さのショートパケットを2つに分割し、それぞれを第1、第2のATMセル（前半セル、後半セル）のペイロードに収容して伝送する場合、一方のATMセルが転送経路上で廃棄されたことを検出できるようにすることである。

本発明の別の目的は、シーケンス番号、コード番号、誤り検出符号を用いて一方のATMセルが伝送途中で廃棄されたことを検出することである。

本発明の別の目的は、一方のATMセルが伝送途中で廃棄されたとき他方のATMセルに収容された有意データを破棄してデータ伝送の品質管理を行えるようにすることである。

【 0 0 1 2 】

本発明の別の目的は、前半セル到着後、所定時間経過しても後半セルが到着しなければ前半セルをメモリから廃棄してメモリの有効利用を図ると共にデータ伝送の品質管理を行うことである。

本発明の別の目的は、48バイト超過の後半セル到着後、あるいは、48バイト未満のセル到着後、これらのセルに収容されたショートパケットデータが所定時間経過してもメモリから読出されて回線に送出されなければ、メモリから廃棄してメモリの有効利用を図り、かつ、データ伝送の品質管理を行うことである。

【 0 0 1 3 】

【課題を解決するための手段】

本発明のセル処理装置は、1つのATMセルに収容できる長さLバイト(=48バイト)より大きい長さのショートパケットを2つのATMセルに収容するように分割し、第1のATMセルのペイロード領域に、(1)分割した一方のショートパケット部分

と(2)ショートパケットの長さ情報を収容し、第2のATMセルのペイロード領域に第1セルに収容出来なかった残りの有意データを収容し、各ATMセルをATMスイッチに入力する。又、本発明のセル処理装置は、ATMスイッチより出力される第1ATMセルに収容されているショートパケットの長さ情報を参照して、第1、第2のATMセルにそれぞれ収容されているショートパケット部分を抽出し、これらショートパケット部分を用いてLバイトを越える長さの元のショートパケットを復元し、AALtype2セル形式で回線に送出する。以上により、48バイトを越えるショートセルを処理でき、しかも、既存のATMスイッチを使用することができる。

【0014】

本発明のセル処理装置において、48バイトを越えるショートセルの分割方法は種々考えられる。第1の分割方法は、(1) 予め設定されている長さの有意データを第1のATMセルに収容し、第2のATMセルに残りの有意データを収容するようにショートパケットを分割し、かつ、(2) 長さ情報を付加し、これにより、第1、第2のATMセルがショートパケットを分割して生成されたセルであるか、及び各セルの有意データ長を識別できるようにすることである。又、第2の分割方法は、(1) 第1セルに48バイトの有意データを収容し、第2セルに残りの有意データを収容するように分割し、かつ、(2) 第1セルの長さ情報LIを0にし、第2セルの長さ情報LIをショートパケット長とすることである。

以上のように分割すれば復元側において、48バイトを越えたショートパケットを分割して生成したセルであるか否か、及び各セルの有意データ長を認識でき、元の48バイトを越えるショートセルを正しく復元することができる。

【0015】

本発明のセル処理装置では、(1) 第1、第2セルの特定の領域にシーケンス番号情報を付加し、あるいは、(2) 第1、第2セルの特定の領域にセル識別用のコード情報を付加し、あるいは、(3) 第2セルの特定領域にショートパケットの全ての有意データを用いて作成した誤り検出符号を付加する。以上のようにシーケンス番号あるいはコード情報あるいは誤り検出符号を付加することにより、復元側において転送途中でのセル廃棄を検出でき、又、セル廃棄の検出により対となる他方のセルを破棄してデータ伝送の品質を維持できる。

【0016】

本発明のATM交換機は、(1) 1つのATMセルに収容できる長さLバイトより大きい長さのショートパケットを含んだAALtype2セル受信し、該ショートパケットを分割して2つの標準のATMセルに変換する前処理装置、(2) 前記前処理装置から入力する標準のATMセルをそのATMセルヘッダを参照して所定の出方路にスイッチングするATMスイッチ、(3) ATMスイッチの出方路側に設けられ、前記分割されたショートパケットに基づいて作成された2つの標準のATMセルを受信し、これら標準のATMセルを用いて元のLバイトを越える長さのショートパケットを組み立て、該ショートパケットをAALtype2セル形式で回線に出力する復元装置、を備えている。かかるATM交換機によれば、48バイトを越えるショートセルを処理することができる。

【0017】

本発明のATM交換機は、前半セル到着後、設定時間経過しても後半セルが到着しなければ、該後半セルは転送途中で廃棄されたものとみなし、対となる前半セルを廃棄する。又、後半セル到着後、設定時間経過しても回線に送出されなければ到着済みの前半セル及び後半セルを廃棄する。このようにすれば、メモリの有効利用を図ることができ、しかも、データの伝送品質を維持できる。

【0018】

【発明の実施の形態】

(A) 本発明の概略

図1は本発明の概略説明図であり、(a)は概略構成図、(b)は64バイト長のショートパケットがAALtype2セル形式で転送され、パーシャルフィルセルに変換され、再びAALtype2セル形式に再変換される概念図を示している。

図1(a)において、1は分離処理部で回線よりAALtype2セルAC1, AC2を受信し、ショートパケット(ショートセル)の長さが48バイトを超えると、該ショートパケットを2つのパーシャルフィルセルPC1, PC2に分割して送信する。2はATMスイッチ、3は復元処置部であり、ATMスイッチでスイッチングされて入力した2つのパーシャルフィルセルを再び1つのショートパケットに組立て直して回線に出力する。

【0019】

分離装置 1 は、AALtype2セルAC1, AC2を受信し、そのときにショートパケット(斜線部)の長さが48バイトを超える場合には(図では64バイト)、1つのショートパケットを2つのパーシャルフィルセルPC1, PC2に分割してATMスイッチ 2 に入力する。ATMスイッチ 2 は、標準ATMセルのスイッチングと同様の処理(ATMセルヘッダ、特にVPI、VCIを参照してルーティングする処理)によって、入力したパーシャルフィルセルPC1, PC2を所望の出力ポートにルーティングする。その後、復元処理部 3 は、パーシャルフィルセル 2 セル分を再び1つのショートパケットに組立て直して宛先方向の回線に送出する。

【0020】

すなわち、64バイト長のショートパケットは1つのATMセルのペイロードに入らないため、2セルあるいは3セルにまたがって転送されていく。分離処理部 1 はAALtype2形式からパーシャルフィルセル形式に変換してATMスイッチ 2 に入力する。ATMスイッチ 2 はパーシャルフィルセル単位にVPIとVCIを参照して所望の出力ポートへと転送する。ここで、通常の48バイト長未満のショートパケットはパーシャルフィルセル 1 セルにより転送することが可能であるが、48バイトを超える長さのショートパケットの場合には、ATMセル 1 セルのペイロード(48バイト)では領域が不足する。そのため、2つのパーシャルフィルセルPC1, PC2に分割して送信する。パーシャルフィルセルの受信側に設けられた復元処理部 3 は、2セルがそろった時点でショートパケットを組み立て、AALtype2セルの形式で回線に出力する。

【0021】

この場合、2セルに分割したパーシャルフィルセルPC1, PC2が、ATMスイッチ 2 を経由して再びショートパケットに組み立て直される迄の転送経路で、廃棄される可能性がある。一方が廃棄された場合には元のショートパケットを復元できないため、他方を廃棄する必要がある。そこで、パーシャルフィルセルの廃棄を検出できるように、たとえば2つに分割したパーシャルフィルセルPC1, PC2にシーケンス番号を挿入しておき、該シーケンス番号を参照して2セル分正しく受信できた時点で64バイト長のショートパケットに復元する。しかし、シーケンス番号

が連続しない場合には、転送経路で一方のパーシャルフィルセルに廃棄が生じたとして、他方のパーシャルフィルセルを廃棄する。セル廃棄を検出する他の手段として、セルに収容する有意データに対して誤り検出/訂正符号、たとえばBIPを計算してパーシャルフィルセルとともに送信し、受信側で誤りがあればそのパーシャルフィルセルを破棄する方法もある。

【0022】

以上のように、ATM交換機は、48バイトを超える長さのショートパケットが2以上のAALtype2セルにマッピングされて到来すれば、標準ATMセル単位で処理できるように該ショートパケットを2つのパーシャルフィルセルにセル化し、スイッチング後、2セルに分割したパーシャルフィルセルをAALtype2セルに組立て直して回線に送出する。これにより、48バイトを超える長さのショートパケットのスイッチングが、標準セルを取り扱うATMスイッチを用いて可能となる。

【0023】

(B) ショートパケットのパーシャルフィルセル化

以上の概略説明より、本発明では、48バイトを超える長さのショートパケットを2つのパーシャルフィルセルにセル化する必要がある。従って、以下では、パーシャルフィル化方法の各種実施例について説明するが、ショートパケットの長さは便宜上64バイトとする。

【0024】

(a) 第1のパーシャルフィルセル化

図2は2以上のAALtype2セルAC1, AC2にマッピングされて到来した64バイト長のショートパケットSPKTを2つのパーシャルフィルセルPC1, PC2に分割する第1の実施例説明図である。第1実施例では、第1パーシャルフィルセルPC1のペイロード領域をすべて使用し、残りのデータを第2パーシャルフィルセルPC2により送信する場合である。パーシャルフィルセルPC1のペイロードは48バイトであるため、第1パーシャルフィルセルPC1のペイロードには48バイトのデータをマッピングし、第2のパーシャルフィルセルPC2のペイロードには残りの16バイトのデータをマッピングして送信する。このとき、ショートパケットヘッダSCHに含まれる長さ情報LIは第1パーシャルフィルセルPC1に含まれるため、第1、第

2 パーシャルフィルセルを再び64バイトのショートパケットSPKTに復元する場合に、該長さ情報LIに基づいて到着した第2 パーシャルフィルセルに含まれるショートパケットの長さを判別できる。

【 0 0 2 5 】

(b) 第2 のパーシャルフィルセル化

図3は2以上のAALtype2セルAC1, AC2にマッピングされて到来した64バイト長のショートパケットSPKTを2つのパーシャルフィルセルPC1, PC2に分割する第2の実施例説明図である。第2実施例では、パーシャルフィルセルPC1, PC2内のペイロード領域を32バイトづつ用いて転送する場合の例を示している。この第2実施例では、ショートパケットのバイト長によっていかに分割するかを予め分離処理部と復元処理部との間で決めておく必要がある。

図4はショートパケットの長さ情報LIと分割バイト数の関係を示す一例である。尚、長さ情報LIはショートパケットの長さから4を引いた値である。これは、LIに割り当てたビット数が6ビットであるため、 $64 (= 2^6)$ バイト迄しか表現できない。そこで、1~3バイトのショートパケットを禁止し、4~67バイトの64種類の長さを表現できるようにするためである。

ショートパケット長が49バイト以上になると表に示すように、分割される。例えば、ショートパケット長が49バイトであれば、24バイト/25バイトに分割され、50バイトであれば、25バイト/25バイトに分割される。

【 0 0 2 6 】

(c) 第3 のパーシャルフィルセル化

図5は2以上のAALtype2セルAC1, AC2にマッピングされて到来した64バイト長のショートパケットSPKTを2つのパーシャルフィルセルPC1, PC2に分割する第3の実施例説明図である。この第3実施例は、図3に示した第2実施例のパーシャルフィルセル分割に加えて、シーケンス番号領域SNA1, SNA2にシーケンス番号を付加したフォーマットに変換して転送する例である。第3実施例では、シーケンス番号領域SNA1, SNA2をパーシャルフィルセルの一番後の領域に配置した例を示しており、例えば第1パーシャルフィルセルPC1には0を、第2パーシャルフィルセルには1をシーケンス番号として付加して送信する。

パーシャルフィルセルの受信側（復元処理部）では、このシーケンス番号を参照して、途中でセルが廃棄されたかどうかを識別することができる。

尚、シーケンス番号に対してビット誤り訂正・検出符号を付加して、信頼性をあげることも可能である。又、シーケンス番号領域SNA1,SNA2は、セル廃棄検出の精度をあげるために複数ビットを使用しても良い。たとえば、3ビットのシーケンス番号を使用すれば、0～7の値をとることができ、最大7セルまでの廃棄検出が可能となる。更に、シーケンス番号に替えて、第1、第2パーシャルフィルセルを識別できるその他のコード情報を用いることもできる。

【0027】

（d）第4のパーシャルフィルセル化

図6は2以上のAALtype2セルAC1,AC2にマッピングされて到来した64バイト長のショートパケットSPKTを2つのパーシャルフィルセルPC1,PC2に分割する第4の実施例説明図である。この第4実施例は、第1、第2パーシャルフィルセルPC1,PC2の両方に、受信したショートパケットSPKTのショートセルヘッダSCHをそのまま付加しておき、該セルヘッダSCHのうち装置内で未使用の領域（たとえば、S-HEC領域など）をシーケンス番号用のビット領域として使用する例である。

第1、第2のパーシャルフィルセルPC1、PC2をAALtype2セルに戻すときに、S-HEC領域の誤り制御情報を再計算して付加するようにすれば、このS-HEC領域をシーケンス番号用の領域として使用することができる。また、パーシャルフィルセルPC1,PC2のCID領域をAALtype2形式に戻すときに新たなCIDを付け直す場合には、このCID領域を使用してシーケンス番号を転送することもできる。

【0028】

（e）第5のパーシャルフィルセル化

図7は2以上のAALtype2セルAC1,AC2にマッピングされて到来した64バイト長のショートパケットSPKTを2つのパーシャルフィルセルPC1,PC2に分割する第5の実施例説明図である。この第5実施例は、図3に示した第2実施例のパーシャルフィルセル分割に加えて、シーケンス番号情報領域として、パーシャルフィルセルPC1,PC2のATMセルヘッダ領域を使用する場合の例を示している。ATMセルヘッダ内のVPI領域とVCI領域を合計すると28ビットとなり、システムによってはこ

れらすべての領域を使用しないケースがある。図 7 の第 5 実施例では、VPI 領域の上位側ビットのうち、システムで未使用となるビットをシーケンス番号情報領域として使用する例を示している。このほか、他の未使用ビットを使用することも可能である。また、ATMセルヘッダ内のHEC領域を使用しても良い。

【 0 0 2 9 】

(f) 第 6 のパーシャルフィルセル化

図 8 は 2 以上のAALtype2セルAC1, AC2にマッピングされて到来した64バイト長のショートパケットSPKTを 2 つのパーシャルフィルセルPC1, PC2に分割する第 6 の実施例説明図である。この第 6 実施例は、図 2 に示した第 1 実施例のパーシャルフィルセル分割ににおいて、誤り検出用の符号を付加して受信側で誤り検出を行うことによってセル廃棄を検出する実施例である。

第 6 実施例では、誤り検出符号として、BIP-8を使用した場合の例を示している。送信側の分離処理部は、第 2 パーシャルフィルセルPC2の特定の 1 バイト領域(例えば最終バイト)をBIP-8用の演算結果記憶領域BIPAとし、64バイト長ショートパケット毎にBIP(Bit Interleaved Parity)を計算して、8ビットの演算結果を該当BIP領域BIPAに格納して送出する。

受信側である復元処理部では、受信したBIPの値と、受信したパーシャルフィルセルのデータを用いてBIP演算した結果とを照合して、誤りがあれば、すなわち、値が一致しなければ、廃棄あるいはビット誤りが生じたものとして、受信したデータのうち完成しないものは廃棄処理する。

【 0 0 3 0 】

(f-1) 第 2 パーシャルフィルセルPC2が廃棄された場合

第 1 パーシャルフィルセルPC1到着時に、そのセルのLIを参照することにより、次に到着する第 2 パーシャルフィルセルPC2に格納されているであろうセルの残りの長さがわかる。廃棄無くして第 2 パーシャルフィルセルPC2が到着すれば、該第 2 パーシャルフィルセルPC2に格納されたBIP値と、到着した第 1、第 2 パーシャルフィルセルのデータを用いて計算したBIP値とを照合して正常到着判定を行う。第 2 パーシャルフィルセルが転送経路で廃棄されると、BIP値が一致することはまずなく、第 2 パーシャルフィルセルの廃棄あるいはビットエラーが生

じたことを検出できる。

【 0 0 3 1 】

(f-2) 第 1 パーシャルフィルセルが廃棄された場合

第 1 パーシャルフィルセルが転送途中に廃棄された時は、第 2 パーシャルフィルセルが最初に到着することとなる。このため、その次のセルが到着したときに BIP 計算を行うが、データ列もビット列も元々のデータと異なる箇所で演算するため、BIP 値が一致することはまずなく、異常を検出できる。

以上では、BIP を使用したが BIP の代わりに、よりエラー検出度精度が高い他の符号 (CRC 符号など) を用いることもできる。

【 0 0 3 2 】

(g) 第 7 のパーシャルフィルセル化

図 9 は 2 以上の AALtype2 セル AC1, AC2 にマッピングされて到来した 64 バイト長のショートパケット SPKT を 2 つのパーシャルフィルセル PC1, PC2 に分割する第 7 実施例説明図である。この第 7 実施例は、図 2 の第 1 実施例と同様にショートパケット SPKT を第 1、第 2 のパーシャルフィルセル PC1, PC2 に分割する。そして、その両方にショートパケットヘッダ SCH を付加すると共に、各ショートパケットヘッダ内の長さ情報 LI を使用して、それぞれの第 1、第 2 パーシャルフィルセルの長さを表示して送信する。ただし、LI=000000 は 48 バイト長を示すものとする。この第 7 実施例において、ショートパケット長が 48 バイトを越えれば、第 1 パーシャルフィルセル PC1 の有意データ長を 48 バイト固定とし、残りの有意データを第 2 パーシャルフィルセル PC2 にマッピングして送信する。

【 0 0 3 3 】

図 10、図 11 は、到着ショートパケット長、到着セルの LI、第 1 セルの有意データ長、第 1 セルの LI、第 2 セルの有意データ長、第 2 セルの LI の関係図表である。到着ショートパケット長が 48 バイトまでは全有意データは 1 つのパーシャルフィルセルにマッピングされて送信される。しかし、到着ショートパケット長が 48 バイトを越えると、先頭 48 バイトの有意データは第 1 のパーシャルフィルセル PC1 にマッピングされ、LI=000000 となり、残りの有意データは第 2 のパーシャルフィルセル PC2 にマッピングされ、LI=(ショートパケット長-4) となって、

送信される。

【 0 0 3 4 】

長さ情報としてのLIの領域は6ビットしかないので、48バイト以内のショートパケットをそのまま分割せずに作成した1つのパーシャルフィルセルと、48バイトを越えて2つのパーシャルフィルセルに分割した各々のセルとを一意に識別することが出来ない。そのため、上記図表の例では使用する可能性の低い4バイトのショートパケットを使用禁止とし、その代わりに「LI=0」であるセルは48バイトを超えたAALtype2セルを2つのセルに分割した第1番目のパーシャルフィルセルであるとし、「 $LI \geq 45$ 」であるセルは第2番目のパーシャルフィルセルであるとしている。従って、各パーシャルフィルセルに上記のLIの値を付与することで、第1セル目か、第2セル目かを識別でき、かつショートパケット長が48バイト以下の長さの場合にも48バイト以下のパーシャルフィルセルとして識別が可能である。パーシャルフィルセルの受信側では、受信したパーシャルフィルセルのLIを参照して、LIが1から44の値であれば分割されていないセルであり、LI=0であれば分割された第1セル、LIが45以上であれば分割された第2セルであると判断する。

【 0 0 3 5 】

また、第2パーシャルフィルセルPC2にマッピングされるデータ長は、全体のデータ長が(LI+4)であり、第1パーシャルフィルセルPC1に48バイトがマッピングされるため(LI-44)である。

また、LI=0のセルが連続したことで、転送途中において第2パーシャルフィルセルPC2が廃棄されたことを検出できる。また、 $LI \geq 45$ のセルが連続することで第1パーシャルフィルセルPC1の廃棄を検出できる。

【 0 0 3 6 】

(h) 第8のパーシャルフィルセル化

図12は2以上のAALtype2セルAC1, AC2にマッピングされて到来した64バイト長のショートパケットSPKTを2つのパーシャルフィルセルPC1, PC2に分割する第8実施例説明図である。この第8実施例は、図3の第2実施例と同様にショートパケットSPKTを第1、第2のパーシャルフィルセルPC1, PC2に分割する。そして

、その両方にショートパケットヘッダSCHを付加すると共に、第1パーシャルフィルセルPC1の長さ情報LIによりショートパケットの全体の長さ情報(=ショートパケット長-4)を表示し、第2セルPC2の長さ情報LIにより第2セルにマッピングするデータ長を表示する。又、第1のパーシャルフィルセルPC1か、第2のパーシャルフィルセルPC2かを識別するためのコード番号を各セルの最終バイトに挿入する。

【0037】

ショートパケット長が48バイトを越えて第1、第2のパーシャルフィルセルPC1, PC2の2つのセルに分割する場合、第1パーシャルフィルセルPC1に例えば32バイト固定の有意データをマッピングし、残りを第2パーシャルフィルセルPC2にマッピングする。第2パーシャルフィルセルPC2の長さ表示LIは、残りのデータの長さを示すようにし、かつ、第1パーシャルフィルセルPC1か、第2パーシャルフィルセルPC2であるかを識別するためのコードを入れておく。

図13、図14は、到着ショートパケット長、到着セルのLI、第1セルの有意データ長、第1セルのLI、第2セルの有意データ長、第2セルのLIの関係図表である。到着ショートパケット長が48バイトまでは全有意データは1つのパーシャルフィルセルにマッピングされて送信される。しかし、到着ショートパケット長が48バイトを越えると、先頭32バイトの有意データは第1のパーシャルフィルセルPC1にマッピングされ、 $LI = (\text{ショートパケット長} - 4)$ となり、残りの有意データは第2のパーシャルフィルセルPC2にマッピングされ、 $LI = (\text{残りの有意データ長})$ となって送信される。

【0038】

(C) ATM交換機の全体の構成

図15は64バイト長ショートセル対応ATM交換機の構成図である。10はATMスイッチ、11～13はそれぞれ回線インタフェース装置であり、対応する伝送路から入力したAALtype2セルをパーシャルフィルセルに変換して出力すると共にATMスイッチより入力したパーシャルフィルセルに含まれるショートセルを多重して対応する伝送路に送出するものである。各回線インタフェース装置11～13はAALtype2セルをパーシャルフィルセルに変換して出力する分離部11a～13

a とパーシャルフィルセルに含まれるショートセルを多重してAALtype2形式で出力する多重部 11 b ~ 13 b を備えている。各分離部 11 a ~ 13 a はAALtype2セルをパーシャルフィルセルに変換すると共に、48バイトを越えるショートパケットを2つのパーシャルフィルセルPC1, PC2にしてATMスイッチに送出する機能を備えている。又、各多重部 12 は48バイト以下の複数のパーシャルフィルセルに含まれるショートセルを多重すると共に、同一のVPI/VCI値を有する2つのパーシャルフィルセルに含まれるショートパケット部分を用いて48バイトを越えた長さショートパケットを組立てて回線に出力する復元機能を備えている。

【0039】

回線よりAALtype2セルが入力したとき、該AALtype2セルに48バイト以下の1以上のショートセルが含まれていれば、分離部 11 a ~ 13 a はショートセル毎にパーシャルフィルセルを生成してATMスイッチ 10 に入力する。ATMスイッチ 10 は各パーシャルフィルセルをそのVPI/VCIを参照して所定の出力ポートにルーティングする。出力側インタフェース装置の多重部 11 b ~ 13 b は、各パーシャルフィルセルに含まれるショートセルのうち同一方向のショートセルを多重してAALtype2セルを作成して回線に出力する。

【0040】

又、回線よりAALtype2セルが入力したとき、該AALtype2セルに48バイトを越えた長さのショートセルが含まれている場合には、分離部 11 a ~ 13 a は2つのパーシャルフィルセルに変換し（VPI/VCIは同一値）、ATMスイッチ 10 に入力する。ATMスイッチ 10 は各パーシャルフィルセルをそのVPI/VCIを参照して所定の出力ポートにルーティングする。出力側インタフェース装置の多重部 11 b ~ 13 b は、VPI/VCI値が同一の2つのパーシャルフィルセルより再び64バイト長ショートパケットを復元し、AALtype2形式で回線に出力する。以上により、標準ATMスイッチを使用して、64バイト長ショートパケット単位のスイッチングが可能となる。

【0041】

(D) パーシャルフィルセル化部及びAALtype2セル化部

(a) パーシャルフィルセル化部及びAALtype2セル化部の第1実施例

図 1 6 は図 1 2 で説明したパーシャルフィルセル化処理を実現するパーシャルフィルセル化部の第 1 実施例の構成図である。図 1 2 のパーシャルフィルセル化処理では、複数の AALtype2 セルに含まれるショートパケット SPKT の長さが 48 バイトを越えると、第 1 パーシャルフィルセル PC1 に 32 バイトの有意データを、第 2 パーシャルフィルセル PC2 に残りの有意データをマッピングし、各セルの最終バイトにコード番号を付加する。尚、以下では 48 バイトを越えるショートパケットを 64 バイトのショートパケットとして説明する。

【 0 0 4 2 】

AALtype2 セルが入力すると、セルバッファ 5 1 は該 AALtype2 セルを一旦格納する。一時格納する理由は、到着する AALtype2 セルの間隔が連続しない場合があり、64 バイト分のショートパケットが完成するまでに時間を要するからである。

次に、ショートセル取り出し部 5 2 は、出力セルフフレームのタイミング信号に合わせて、セルバッファ 5 1 から同一の VPI/VCI を持つショートセルを順次取り出し、ショートパケットバッファ 5 3 に格納する。また、ショートセル取り出し部 5 2 は、到着セルの VPI/VCI/CID を抽出し、この VPI/VCI/CID を用いて変換テーブル 5 4 をアクセスし、パーシャルフィルセルに付加する VPI/VCI を該変換テーブルより読み出しておく。変換テーブル 5 4 には、予め発呼時に到来セルの VPI/VCI/CID と送出セル（パーシャルフィルセル）に付加する VPI/VCI の対応が記憶されている。

【 0 0 4 3 】

コード作成部 5 5 は、ショートセル取り出し部 5 2 から入力する到着ショートセルの LI を参照し、 $LI > 45$ であれば出力するパーシャルフィルセルに付けるコード番号を生成する。すなわち、LI が 44 以下であればコード番号を作成しないが、LI が 45 以上であれば、ショートパケット長が 48 バイトを越えるため、第 1 パーシャルフィルセルの出力するタイミングに合わせて 0 を、第 2 パーシャルフィルセルの出力タイミングに合わせて 1 を出力する。

LI 作成部 5 6 は、ショートパケット長が 48 バイトを越えるとき ($LI \geq 45$)、第 2 パーシャルフィルセル PC2 に付加するショートパケットヘッダの LI 値を計算して出力する。到来したショートセルの長さは $(LI + 4)$ バイト、第 1 パーシャルフィル

セルPC1で送るデータ長は32バイトであるから、第2パーシャルフィルセルPC2で送るデータ長は(LI-28)バイトである。000000を1バイト長、000001を2バイト長、…111111を64バイト長としているから、LI作成部56は、ショートパケット長が48バイトを越えるとき、(LI-29)の演算を行って、第2パーシャルフィルセルに付加するLIを計算して出力する。

【0044】

カウンタ57は53進カウンタであり、セルフフレーム信号に同期してクロックを0から52までカウントし、カウント値を出力する。カウント値0～52はAALtype2セルの1～53バイトに対応する。選択信号作成部58はLIとカウント値に従っていずれの入力信号を選択すべきかをセレクタ59に指示し、セレクタ59は指示された入力信号を選択してパーシャルフィルセルを出力する。例えば、選択信号作成部58は、①LI<45の場合は図17(a)に従って選択信号を出力し、②LI>44で、第1パーシャルフィルセルPC1を作成出力する場合は図17(b)に従って選択信号を出力し、③LI>44で、第2パーシャルフィルセルPC2を作成出力する場合は図17(c)に従って選択信号を出力する。

【0045】

48バイト以下の長さのショートパケットをパーシャルフィルセルに変換する時、1つのATMセル(パーシャルフィルセル)のペイロードにショートパケットの全有意データを格納できる。このため、図17(a)に示すように、セレクタ59は、カウント値が0～4のとき、(1)を選択してATMセルヘッダを出力し、カウント値が5～(LI+8)のとき、つまり有意データ長の区間では(2)を選択してショートパケットデータを出力し、カウント値が(LI+9)～52では(4)を選択して‘0’を出力する。

一方、48バイトを超える長さのショートパケットをパーシャルフィルセルに変換する時、第1パーシャルフィルセルPC1と第2パーシャルフィルセルPC2とで選択信号作成部58の出力が異なる。

【0046】

第1パーシャルフィルセルPC1の出力時、図17(b)に示すように、セレクタ59は、カウント値が0～4のときに(1)を選択してATMセルヘッダを出力し、カ

ウント値が5～36の時に(2)を選択して先頭32バイトのショートパケットデータを出力し、カウント値が37以上になれば(4)を選択して固定値‘0’を出力し、カウント値が52になれば(3)を選択して第1パーシャルフィルセルであることを示すコード番号を出力する。尚、第1パーシャルフィルセルPC1のペイロードには、長さ表示LIを含むショートセルヘッダがマッピングされている。

【0047】

又、第2パーシャルフィルセルPC2の出力時、図17(c)に示すように、セクタ59は、カウント値が0～4のときに(1)を選択してATMセルヘッダを出力する。次に、3バイトのショートセルヘッダ部分のLIを除く部分に0を、LI部に残りのデータ長を示す数値を出力するために、カウント値が5と7の時に(4)を選択して0を出力し、カウンタが6のときに(5)を選択して第2パーシャルフィルセルPC2のLI値を出力する。又、セクタ59は、カウント値が8から(LI-21)までの残りの有意データ長の区間では(2)を選択して残りのショートパケットデータを送出し、(LI-21)+1以上になれば(4)を選択して固定値‘0’を出力し、カウント値が52になれば(3)を選択して第2パーシャルフィルセルであることを示すコード番号を出力する。

【0048】

図18は図16のパーシャルフィルセル化部で作成した2つのパーシャルフィルセルから元のAALtype2セルを復元して出力するAALtype2セル化部の構成図である。

第1、第2の入力セルPC1,PC2が入力すると、制御部61は各セルのLI値を参照してショートパケット部分を取り出してショートセルバッファに格納する。48バイトを越えるショートパケットは、第1、第2の2つのセルに分割されて到着するため、連続2セル到着した時点で1つのショートパケットが完成する。従って、制御部61は入力セルのコード番号を確認して48バイトを越えるショートパケットをショートパケットバッファ62に作成する。

【0049】

第1、第2の入力セルPC1,PC2の各コード期待値は変換テーブル63内に格納されているから、制御部61は入力セルのVPI/VCI値から変換テーブル63より

各コード期待値を求め、該コード期待値に基づいて入力セルの抜けが無いかどうかを判定する。たとえば、制御部 6 1 は第 1 セルの入力に際して、第 1 のコード期待値と第 1 セルに含まれるコード番号を比較し、第 2 セルの入力に際して、第 2 のコード期待値と第 2 セルに含まれるコード番号を比較する。従って、経路途中で 1 セルの廃棄を生じれば、到着パシャルフィルセルのコード番号と期待値が異なるため、セル廃棄を検出できる。セル廃棄が生じればショートパケットを完成できないから、既に到着してショートセルバッファ 6 2 に記憶されているショートパケットの半分のデータを廃棄する。

又、制御部 6 1 は、変換テーブル 6 3 よりコード期待値を読み出すと同時に、AALtype2セルに付加するVPI/VCI/CIDを変換テーブル 6 3 より読み出し、VPI/VCI値をセレクタ 6 7 に入力する。又、読出したCIDをショートセルバッファ 6 2 に入力し、該CIDで既にショートパケットバッファ 6 2 に格納されているショートセルヘッダのCIDを置き換える。

【 0 0 5 0 】

STF算出部 6 4 はショートセルヘッダのLI値と第1のAALtype2セルで送出済みのバイト数より送出待ちバイト数を求め、該送出待ちバイト数よりスタートフィールドSTF内のオフセット値OSFを算出して出力する。たとえば、第1のAALtype2セルで送出できなかったショートパケットの残りバイト数が10バイトであれば、次に出力するAALtype2セルのOSFは10となり、また、残りバイト数が47バイト以上であれば、OSF=47となる。

カウンタ 6 5 は53進カウンタであり、セルフフレーム信号に同期してクロックを0から52までカウントし、カウント値を出力する。このカウント値0～52はAALtype2セルの1～53バイトに対応する。選択信号作成部 6 6 は、図 1 8 内のテーブル TL で示すようにカウント値及び送出すべきデータの有無に従って、いずれの入力信号(1)～(4)を選択すべきかをセレクタ 6 7 に指示する。

【 0 0 5 1 】

セレクタ 6 7 はこの指示に従って入力信号(1)～(4)を選択して出力する。すなわち、セレクタ 6 7 は、カウント値が0～4のときVPI/VCIを出力し、カウント値が5のときスタートフィールドSTFを出力し、カウント値が6～52のときセルデー

タを出力する。以上により、第 1 の AALtype2 セルが作成、送出される。ついで、同様に、VPI/VCI、STF、残りのセルデータを出力し、カウント値が 5～52 の途中で送出すべきセルデータがなくなれば、以後、0 を出力する。これにより、第 2 の

AALtype2 セルが作成、送出される。以上のようにして 2 つのパーシャルフィルセルを組み合わせて元の AALtype2 セルに戻すことができる。

なお、48 バイト以内の分割されないパーシャルフィルセルが到着した時には、VPI/VCI/CID を変換テーブル 6 3 より読み出し、AALtype2 形式で出力する。この例では、到着セルの LI をみれば、そのセルが 1 セルのみのパーシャルフィルセルであるか、2 セルに分割されたパーシャルセルであるかが識別可能である。

【 0 0 5 2 】

(b) パーシャルフィルセル化部及び AALtype2 セル化部の第 2 実施例

図 1 9 は図 2 で説明したパーシャルフィルセル化処理を実現するパーシャルフィルセル化部の第 2 実施例の構成図であり、図 1 6 の第 1 実施例と同一部分には同一符号を付している。

第 2 実施例のパーシャルフィルセル化部は、ショートパケットの長さが 48 バイト以下であれば図 2 0 (a) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、これにより、パーシャルフィルセルを作成して出力する。すなわち、セレクタ 5 9 は選択信号作成部 5 8 の指示により、①カウント値が 0～4 のとき、変換テーブル 5 4 から入力する ATM セルヘッダ (VPI/VCI 等) を選択し、②カウント値が 5～(LI+8) のとき、すなわち、有意データ長の区間においてショートセルバッファ 5 3 から入力するショートパケットデータを選択し、③カウント値が (LI+9)～52 のとき '0' を選択し、これにより、パーシャルフィルセルを作成して出力する。

【 0 0 5 3 】

又、第 2 実施例のパーシャルフィルセル化部は、ショートパケットの長さが 48 バイトを越えると、第 1 パーシャルフィルセル PC1 に 48 バイトの有意データを、第 2 パーシャルフィルセル PC2 に残りの有意データをそれぞれマッピングして出力する。従って、第 1 パーシャルフィルセル PC1 の出力時、図 2 0 (b) に示す

ように、セレクタ 59 は選択信号作成部 58 の指示により、①カウント値が 0~4 のときに変換テーブル 54 から入力する ATM セルヘッダ (VPI/VCI 等) を選択し、②カウント値が 5~52 の時にショートセルバッファ 53 から入力する先頭 48 バイトのショートパケットデータを選択して出力する。この第 1 パーシャルフィルセル PC1 のペイロードには、長さ表示 LI を含むショートセルヘッダ SCH が含まれている。

【0054】

第 2 パーシャルフィルセル PC2 の出力時、図 20 (c) に示すように、セレクタ 59 は選択信号作成部 58 の指示により、①カウント値が 0~4 のときに変換テーブル 54 から入力する ATM セルヘッダ (VPI/VCI 等) を選択し、②カウント値が 5~(LI-40) の時にショートセルバッファ 53 から入力する残りの (LI-44) バイトのショートパケットデータを選択し、③カウント値が (LI-40)+1~52 の時に固定値 '0' を選択する。

【0055】

図 21 は図 19 のパーシャルフィルセル化部で作成した 2 つのパーシャルフィルセルから元の AALtype2 セルを復元して出力する AALtype2 セル化部の第 2 実施例構成図であり、図 18 の第 1 実施例と同一部分には同一符号を付している。

第 1、第 2 の入力セル PC1, PC2 が入力すると、制御部 61 は LI 値を参照してショートパケット部分を取り出してショートセルバッファ 62 に格納する。48 バイトを越えるショートパケットは、第 1、第 2 の 2 つのセルに分割されて到着するため、連続 2 セル到着した時点で 1 つのショートパケットが完成する。すなわち、制御部 61 は入力セルに含まれるショートセルヘッダの LI 値が 45 以上であるか否かにより、第 1 パーシャルフィルセルであるか認識し、第 1 パーシャルフィルセルであれば、次に受信するセルを第 2 パーシャルフィルセルであると認識して 48 バイトを越えるショートパケットをショートセルバッファ 62 に作成する。

【0056】

又、制御部 61 は AALtype2 セルに付加する VPI/VCI/CID を変換テーブル 63 より読み出し、VPI/VCI 値をセレクタ 67 に入力し、CID をショートセルバッファ 62 に入力し、該 CID で既にショートパケットバッファ 62 に格納されているショ

ートセルヘッダのCIDを置き換える。

STF算出部 64 はショートセルヘッダのLI値と第1のAALtype2セルで送出済みのバイト数より送出待ちバイト数を求め、該送出待ちバイト数よりスタートフィールドSTF内のオフセット値OSFを算出して出力する。たとえば、第1のAALtype2セルで送出できなかったショートパケットの残りバイト数が10バイトであれば、次に出力するAALtype2セルのOSFは10となり、また、残りバイト数が47バイト以上であれば、OSF=47となる。

【0057】

選択信号作成部 66 は、図 21 内のテーブル TL で示すようにカウント値及び送出すべきデータの有無に従って、いずれの入力信号(1)～(4)を選択すべきかをセレクタ 67 に指示する。セレクタ 67 はこの指示に従って入力信号(1)～(4)を選択して出力する。すなわち、セレクタ 67 は、カウント値が0～4のときATMヘッダ(VPI/VCI等)を出力し、カウント値が5のときスタートフィールドSTFを出力し、カウント値が5～52のときセルデータを出力する。以上により、第1のAALtype2セルを復元して送出することができる。ついで、カウント値に基づいて同様に、VPI/VCI等、STF、残りのセルデータを出力し、カウント値が5～52の途中で送出すべきセルデータがなくなれば、以後、0を出力する。これにより、第2のAALtype2セルを復元して送出できる。以上のようにして2つのパーシャルフィルセルを組み合わせて元のAALtype2セルに戻すことができる。

なお、48バイト以内の分割されないパーシャルフィルセルが到着した時には、VPI/VCI/CIDを変換テーブル 63 より読み出し、AALtype2形式で出力する。この例では、到着セルのLIをみれば、そのセルが1セルのみのパーシャルフィルセルであるか、2セルに分割されたパーシャルセルであるかが識別可能である。

【0058】

(c) パーシャルフィルセル化部及びAALtype2セル化部の第3実施例

図 22 は図 3 で説明したパーシャルフィルセル化処理を実現するパーシャルフィルセル化部の第3実施例の構成図であり、図 16 の第1実施例と同一部分には同一符号を付している。

第3実施例のパーシャルフィルセル化部は、ショートパケットの長さが48バイ

ト以下であれば図 2 3 (a) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、これにより、パーシャルフィルセルを作成して出力する。すなわち、セクタ 5 9 は選択信号作成部 5 8 の指示により、①カウント値が 0~4 のとき、変換テーブル 5 4 から入力する ATM セルヘッダ (VPI/VCI 等) を選択し、②カウント値が 5~(LI+8) のとき、すなわち、有意データ長の区間においてショートセルバッファ 5 3 から入力するショートパケットデータを選択し、③カウント値が (LI+9)~52 のとき '0' を選択し、これにより、パーシャルフィルセルを作成して出力する。

【 0 0 5 9 】

又、第 3 実施例のパーシャルフィルセル化部は、ショートパケットの長さが 48 バイトを越えると、第 1、第 2 パーシャルフィルセル PC1, PC2 にそれぞれ図 4 で示すバイト数 B1, B2 の有意データをマッピングして出力する。すなわち、第 1 パーシャルフィルセル PC1 の出力時、図 2 3 (b) に示すように、セクタ 5 9 は選択信号作成部 5 8 の指示により、①カウント値が 0~4 のときに変換テーブル 5 4 から入力する ATM セルヘッダ (VPI/VCI 等) を選択し、②カウント値が 5~(B1+4) の時にショートセルバッファ 5 3 から入力する先頭 B1 バイトのショートパケットデータを選択し、③カウント値が (B1+5)~52 に固定値 '0' を選択する。この第 1 パーシャルフィルセル PC1 のペイロードには、長さ表示 LI を含むショートセルヘッダ SCH が含まれている。

第 2 パーシャルフィルセル PC2 の出力時、図 2 3 (c) に示すように、セクタ 5 9 は選択信号作成部 5 8 の指示により、①カウント値が 0~4 のときに変換テーブル 5 4 から入力する ATM セルヘッダ (VPI/VCI 等) を選択し、②カウント値が 5~(B2+4) の時にショートセルバッファ 5 3 から入力する残り B2 バイトのショートパケットデータを選択し、③カウント値が (B2+5)~52 に固定値 '0' を選択する。

【 0 0 6 0 】

図 2 4 は図 2 2 のパーシャルフィルセル化部で作成した 2 つのパーシャルフィルセルから元の AALtype2 セルを復元して出力する AALtype2 セル化部の第 3 実施例構成図であり、図 1 8 の第 1 実施例と同一部分には同一符号を付している。

第 1、第 2 のセル PC1, PC2 が入力すると、制御部 6 1 は第 1 セルの LI 値を参照

して各セルのペイロードよりショートパケット部分を取り出してショートセルバッファ 62 に格納する。48 バイトを越えるショートパケットは、第 1、第 2 の 2 つの入力セル PC1, PC2 に分割されて到着するため、連続 2 セル到着した時点で 1 つのショートパケットが完成する。制御部 61 は第 1 入力セル PC1 に含まれるショートセルヘッダ SCH の LI 値及び図 4 のテーブルに基づいて第 1、第 2 入力セル PC1, PC2 に含まれるセルバイト数を認識し、各入力セル PC1, PC2 よりセルデータを抽出、合成してショートセルバッファ 62 に 48 バイトを越えるショートパケットを作成する。

【0061】

又、制御部 61 は AALtype2 セルに付加する VPI/VCI/CID を変換テーブル 63 より読み出し、VPI/VCI 値をセレクタ 67 に入力し、CID をショートセルバッファ 62 に入力し、該 CID で既にショートパケットバッファ 62 に格納されているショートセルヘッダの CID を置き換える。

STF 算出部 64 はショートセルヘッダの LI 値と第 1 の AALtype2 セルで送出済みのバイト数より送出待ちバイト数を求め、該送出待ちバイト数よりスタートフィールド STF 内のオフセット値 OSF を算出して出力する。たとえば、第 1 の AALtype2 セルで送出できなかったショートパケットの残りバイト数が 10 バイトであれば、次に出力する AALtype2 セルの OSF は 10 となり、また、残りバイト数が 47 バイト以上であれば、OSF=47 となる。

【0062】

選択信号作成部 66 は、図 24 内のテーブル TL で示すようにカウント値及び送出すべきデータの有無に従って、いずれの入力信号 (1)~(4) を選択すべきかをセレクタ 67 に指示する。セレクタ 67 はこの指示に従って入力信号 (1)~(4) を選択して出力する。すなわち、セレクタ 67 は、カウント値が 0~4 のとき ATM ヘッダ (VPI/VCI 等) を出力し、カウント値が 5 のときスタートフィールド STF を出力し、カウント値が 5~52 のときセルデータを出力する。以上により、第 1 の AALtype2 セルを復元して送出することができる。ついで、カウント値に基づいて同様に、VPI/VCI 等、STF、残りのセルデータを出力し、カウント値が 5~52 の途中で送出すべきセルデータがなくなれば、以後、0 を出力する。これにより、第 2 の A

AALtype2セルを復元して送出できる。以上のようにして2つのパーシャルフィルセルを組み合わせて元のAALtype2セルに戻すことができる。

なお、48バイト以内の分割されないパーシャルフィルセルが到着した時には、VPI/VCI/CIDを変換テーブル63より読み出し、AALtype2形式で出力する。この例では、到着セルのLIをみれば、そのセルが1セルのみのパーシャルフィルセルであるか、2セルに分割されたパーシャルセルであるかが識別可能である。

【0063】

(d) パーシャルフィルセル化部及びAALtype2セル化部の第4実施例

図25は図5で説明したパーシャルフィルセル化処理を実現するパーシャルフィルセル化部の第4実施例の構成図であり、図22の第3実施例と同一部分には同一符号を付している。第4実施例において、第3実施例と異なる点は、SN付与部50を設け、シーケンス番号SN(=0,1)を作成して第1、第2パーシャルフィルセルPC1,PC2の52バイト目にそれぞれ付与する点である。

第4実施例のパーシャルフィルセル化部は、ショートパケットの長さが48バイト以下であれば図26(a)に示すように、カウンタ57のカウント値に従って所定の入力信号を選択し、これにより、パーシャルフィルセルを作成して出力する。又、第4実施例のパーシャルフィルセル化部は、ショートパケットの長さが48バイトを越えると図26(b)に示すように、カウンタ57のカウント値に従って所定の入力信号を選択し、第1パーシャルフィルセルPC1を作成して出力する。又、図26(c)に示すように、カウンタ57のカウント値に従って所定の入力信号を選択し、第2パーシャルフィルセルPC2を作成して出力する。

【0064】

図27は図25のパーシャルフィルセル化部で作成した2つのパーシャルフィルセルから元のAALtype2セルを復元して出力するAALtype2セル化部の第4実施例構成図であり、図24の第3実施例と同一部分には同一符号を付している。

第4実施例において第3実施例と異なる点は、廃棄制御する点である。すなわち、48バイトを越えるショートパケットは、第1、第2の2つの入力セルPC1,PC2に分割されて到着する。第1、第2の入力セルPC1,PC2の各SN期待値は変換テーブル63内に格納されているから、制御部61は入力セルのVPI/VCI値から変換

テーブル 6 3 より各 SN 期待値を求め、該 SN 期待値に基づいて入力セルの抜けが無いかどうかを判定する。たとえば、制御部 6 1 は第 1 セル PC1 の入力に際して、第 1 の SN 期待値と第 1 セル PC1 のシーケンス番号 SN を比較し、第 2 セル PC2 の入力に際して、第 2 の SN 期待値と第 2 セル PC2 のシーケンス番号 SN を比較する。従って、経路途中でセル廃棄を生じれば、到着パーシャルフィルセルのシーケンス番号 SN と SN 期待値が異なるため、セル廃棄を検出できる。セル廃棄が生じればショートパケットを完成できないから、既に到着してショートセルバッファ 6 2 に記憶されているショートパケットの半分のデータを廃棄する。

第 4 実施例において、カウンタ 6 5 のカウント値に基づいて所定の信号を選択して AALtype2 セルを復元して送出する制御は第 3 実施例と同じである。

【 0 0 6 5 】

(e) パーシャルフィルセル化部及び AALtype2 セル化部の第 5 実施例

図 2 8 は図 6 で説明したパーシャルフィルセル化処理を実現するパーシャルフィルセル化部の第 5 実施例の構成図であり、図 2 5 の第 4 実施例と同一部分には同一符号を付している。第 5 実施例において、第 4 実施例と異なる点は、

- ・第 1、第 2 パーシャルフィルセル PC1, PC2 の両方にショートセルヘッダ SCH を挿入する点、

- ・ 1 バイト分のバッファ 4 1 を設け、該バッファに SN 付与部 5 0 で作成した 1 ビットのシーケンス番号 SN と、ショートセルヘッダ SCH の第 3 バイト目の上位 7 ビットとで構成される 1 バイトデータを記憶する点、

- ・ バッファ 4 1 の内容（シーケンス番号 SN）を第 1、第 2 パーシャルフィルセル PC1, PC2 のショートセルヘッダ SCH の S-HEC 部に挿入する点である。

【 0 0 6 6 】

第 5 実施例のパーシャルフィルセル化部は、ショートパケットの長さが 48 バイト以下であれば図 2 9 (a) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、これにより、パーシャルフィルセルを作成して出力する。又、第 5 実施例のパーシャルフィルセル化部は、ショートパケットの長さが 48 バイトを越えると図 2 9 (b) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、第 1 パーシャルフィルセル PC1 を作成して出力す

る。又、図 2 9 (c) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、第 2 パーシャルフィルセル PC2 を作成して出力する。

【0 0 6 7】

図 3 0 は図 2 8 のパーシャルフィルセル化部で作成した 2 つのパーシャルフィルセルから元の AALtype2 セルを復元して出力する AALtype2 セル化部の第 5 実施例構成図であり、図 2 7 の第 4 実施例と同一部分には同一符号を付している。第 5 実施例において第 4 実施例と異なる点は、廃棄制御する際、第 1、第 2 入力セル PC1, PC2 のシーケンス番号 SN をショートセルヘッダ SCH の第 3 バイト (S-HEC 部) の第 1 ビットより取り出す点であり、他の動作は第 4 実施例と同じである。

【0 0 6 8】

(f) パーシャルフィルセル化部及び AALtype2 セル化部の第 6 実施例

図 3 1 は図 7 で説明したパーシャルフィルセル化処理を実現するパーシャルフィルセル化部の第 6 実施例の構成図であり、図 2 5 の第 4 実施例と同一部分には同一符号を付している。第 6 実施例において、第 4 実施例と異なる点は、

- ・ 1 バイト分のバッファ 4 1 を設け、該バッファに SN 付与部 5 0 で作成した 1 ビットのシーケンス番号 SN と、ATM ヘッダの第 1 バイト (VPI 部) の下位 7 ビットとで構成される 1 バイトデータを記憶する点、

- ・ バッファ 4 1 の内容 (シーケンス番号 SN) を第 1、第 2 パーシャルフィルセル PC1, PC2 の ATM セルヘッダ第 1 バイトの最上位ビットに挿入する点である。

【0 0 6 9】

第 6 実施例のパーシャルフィルセル化部は、ショートパケットの長さが 48 バイト以下であれば図 3 2 (a) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、これにより、パーシャルフィルセルを作成して出力する。又、第 6 実施例のパーシャルフィルセル化部は、ショートパケットの長さが 48 バイトを越えると図 3 2 (b) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、第 1 パーシャルフィルセル PC1 を作成して出力する。又、図 3 2 (c) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、第 2 パーシャルフィルセル PC2 を作成して出力する。これにより、第 1、第 2 パーシャルフィルセル PC1, PC2 の ATM セルヘッダ第 1 バイトの最

上位ビットにシーケンス番号SNが挿入される。

【0 0 7 0】

図 3 3 は図 3 1 のパーシャルフィルセル化部で作成した 2 つのパーシャルフィルセル PC1, PC2 から元の AALtype2 セルを復元して出力する AALtype2 セル化部の第 6 実施例の構成図であり、図 2 7 の第 4 実施例と同一部分には同一符号を付している。第 6 実施例において第 4 実施例と異なる点は、廃棄制御する際、第 1、第 2 入力セル PC1, PC2 のシーケンス番号 SN を ATM セルヘッダの第 1 バイトの最上位ビットより取り出す点であり、他の動作は第 4 実施例と同じである。

【0 0 7 1】

(g) パーシャルフィルセル化部及び AALtype2 セル化部の第 7 実施例

図 3 4 は図 8 で説明したパーシャルフィルセル化処理を実現するパーシャルフィルセル化部の第 7 実施例の構成図であり、図 1 9 の第 2 実施例と同一部分には同一符号を付している。第 7 実施例において、第 2 実施例と異なる点は、

- ・誤り検出符号として BIP を計算する BIP 計算部 4 2 を設けた点、
- ・ショートパケット長が 48 バイトを越える場合、BIP 計算部 4 2 において該ショートパケットの BIP を計算して、得られた 8 ビットの演算結果を第 2 パーシャルフィルセル PC2 の最終バイトに挿入する点、である。

【0 0 7 2】

第 7 実施例のパーシャルフィルセル化部は、ショートパケットの長さが 48 バイト以下であれば図 3 5 (a) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、これにより、パーシャルフィルセルを作成して出力する。又、第 7 実施例のパーシャルフィルセル化部は、ショートパケットの長さが 48 バイトを越えると図 3 5 (b) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、第 1 パーシャルフィルセル PC1 を作成して出力する。又、図 3 5 (c) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、第 2 パーシャルフィルセル PC2 を作成して出力する。これにより、第 2 パーシャルフィルセル PC2 の最終バイトに BIP が挿入される。

【0 0 7 3】

図 3 6 は図 3 4 のパーシャルフィルセル化部で作成した 2 つのパーシャルフィ

ルセルPC1,PC2から元のAALtype2セルを復元して出力するAALtype2セル化部の第7実施例の構成図であり、図21の第2実施例と同一部分には同一符号を付している。第7実施例において第2実施例と異なる点は、

- ・ 対となる一方のパーシャルフィルセルに誤りが検出された時、他方のパーシャルフィルセルを廃棄する点、
- ・ 48バイトを越えるショートパケットを分割して作成された第1、第2パーシャルフィルセルPC1,PC2を受信し、受信セルの有意データのBIPを計算するBIP計算部68を設けた点、
- ・ 計算されたBIPと第2パーシャルフィルセルPC2の最終バイトに挿入されている期待BIPとを比較し、不一致であればビットエラーあるいはセル抜けが生じたものとして誤りを検出する点、である。

【0074】

48バイトを越えるショートパケットは、第1、第2の2つの入力セルPC1,PC2に分割されて到着する。第1、第2の入力セルPC1,PC2の有意データ部分のBIP値を計算し、該計算されたBIP値と第2パーシャルフィルセルPC2の最終バイトに挿入されている期待BIPとを比較し、不一致であれば誤り発生とみなし、既に到着してショートセルバッファ62に記憶されているショートパケットの一部データを廃棄する。

第7実施例において、カウンタ65のカウント値に基づいて所定の信号を選択してAALtype2セルを復元して送出する制御は第2実施例と同じである。

【0075】

(h) パーシャルフィルセル化部及びAALtype2セル化部の第8実施例

図37は図9で説明したパーシャルフィルセル化処理を実現するパーシャルフィルセル化部の第8実施例の構成図であり、図16の第1実施例と同一部分には同一符号を付している。第8実施例において、第1実施例と異なる点は、

- ・ コード作成部を持たない点、
- ・ ショートパケット長が48バイトを越えて作成される第1パーシャルフィルセルPC1のショートセルヘッダのLIにより0を表示し、第2パーシャルフィルセルPC2のショートセルヘッダのLIによりショートパケット長を表示する点、

・ 2セル目のLI作成部 5 6 は、第 2 パーシャルフィルセルPC2のショートセルヘッダのLI値を計算して出力する点である。

【 0 0 7 6 】

第 8 実施例のパーシャルフィルセル化部は、ショートパケットの長さが48バイト以下であれば図 3 8 (a) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、これにより、パーシャルフィルセルを作成して出力する。又、第 8 実施例のパーシャルフィルセル化部は、ショートパケットの長さが48バイトを越えると図 3 8 (b) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、LI=0の第 1 パーシャルフィルセルPC1を作成して出力する。又、図 3 8 (c) に示すように、カウンタ 5 7 のカウント値に従って所定の入力信号を選択し、LI=ショートパケット長である第 2 パーシャルフィルセルPC2を作成して出力する。

【 0 0 7 7 】

図 3 9 は図 3 7 のパーシャルフィルセル化部で作成した 2 つのパーシャルフィルセルPC1,PC2から元のAALtype2セルを復元して出力するAALtype2セル化部の第 8 実施例の構成図であり、図 1 8 の第 1 実施例と同一部分には同一符号を付している。第 8 実施例において第 1 実施例と異なる点は、

- ・ 制御部 6 1 は、LI=0のセルを連続して受信することにより第2パーシャルフィルセルPC2の欠落を検出し、LI>44のセルを連続して受信することによ第1パーシャルフィルセルPC1の欠落を検出する点、
- ・ セル欠落を検出してセルの廃棄制御を行う点、である。

【 0 0 7 8 】

48バイトを越えるショートパケットは、第 1、第 2 の 2 つの入力セルPC1,PC2に分割されて到着する。制御部 6 1 は、第 1、第 2 入力セルPC1,PC2のLI値を抽出し、LI=0のセルが連続したか、あるいはLI>44のセルが連続したかチェックし連続したなら、対となる一方のセルが欠落したものとしてショートセルバッファ 6 2 に記憶されているショートパケットの半分のデータを廃棄する。

第 8 実施例において、カウンタ 6 5 のカウント値に基づいて所定の信号を選択してAALtype2セルを復元して送出する制御は第 1 実施例と同じである。

【 0 0 7 9 】

(E) セル廃棄制御

以上、ATM交換機は、48バイトを越えるショートパケットを分割して2つのパーシャルフィルセル（前半セル、後半セル）に収容し、パーシャルフィルセル毎にATMスイッチでスイッチングし、スイッチング後にこれら前半セル、後半セルを用いて元の48バイトを越える長さのショートパケットを復元し、該ショートパケットをAALtype2セル形式で回線に出力する。ところで、ATM交換機の復元側に前半セルだけが到着し、後半セルが到着しない場合がある。かかる場合には、復元装置のメモリの有効利用を図るため及びデータの伝送品質を維持するために前半セルを廃棄する必要がある。又、復元装置に後半セルが到着してショートパケットを復元しても、該ショートパケットが回線に送出されないで長時間メモリに滞留する場合がある。かかる場合にも、メモリの有効利用を図るため及びデータの伝送品質を維持するために前半セルを廃棄する必要がある。

【 0 0 8 0 】

(a) セル廃棄制御の概略構成

図40は本発明のセル廃棄制御の概略構成図である。図中、111は空アドレス管理FIFO部、112は前半セル格納アドレス部、113は格納アドレスセレクト部、114は入力データ格納メモリ部、115は遅延廃棄処理部である。48バイト超過の前半パーシャルフィルセル（前半セル）が入力すれば、格納アドレスセレクト部112は、空アドレス管理FIFO 111から書き込みアドレスGaddを受け取り、入力データ（前半セル）をメモリ部114のアドレスGaddが示す位置に格納し、かつ、前半セル格納アドレス部112に該アドレスGaddを格納する。48バイト超過の後半パーシャルフィルセル（後半セル）が入力すれば、格納アドレスセレクト部113は、前半セル格納アドレス部112より前半部分を格納したアドレスGaddを取得し、入力データ（後半部分）をメモリ部114の該アドレスGaddが示す位置に前半部分に続いて格納する。しかし、48バイト超過の後半セルが規定時間を経過しても到着せず、長時間に渡って前半セルがメモリ部114に滞留する場合は、遅延廃棄処理部115は該前半セルの廃棄指示を行う。すなわち、遅延廃棄処理部115は該前半セルの記憶アドレスを空アドレス管理FIFO 111に通知し、該アドレスを空アドレスとし、他の前

半セルを記憶できるようにする。

【0081】

このように、遅延廃棄処理部115は、メモリ114に格納されている前半セルに対応する後半セルの到着管理（遅延廃棄処理）を行っているため、後半セルが到着しない場合であっても、前半セルがいつまでもメモリに残留し続けることは無く、メモリの有効利用が図れる。

【0082】

（b）セル廃棄の第1実施例

（b-1）構成

図41は後半セルの到着遅延により前半セルを廃棄する廃棄制御を実現する第1実施例の構成図である。第1実施例では、（1）到着済みの前半セルに対応する後半セルの到着の有無を示すデータをメモリに記憶し、（2）一定周期でポーリングにより前記データを読み出して後半セルの到着の有無を調べ、（3）所定回数以上、例えば2回前記データを調べても後半セルが到着していなければ前半セルを廃棄する。

【0083】

図41において、151はセル到着制御及び遅延廃棄制御を実行する制御部で、セル到着制御部151a、遅延廃棄制御151bを備えている。152はメモリに対するデータの読み／書きの制御を行うメモリ制御部、153は入力データを記憶する入力データ格納RAM（データメモリ）、154はデータメモリ153の空アドレスを管理する空アドレス管理FIFO、155は48バイト超過セル管理テーブルであり、前半セルのセルヘッダに付加されているVPI/VCIをアドレスとして、（1）前半セル到着フラグA、（2）ポーリング済みフラグP、（3）データメモリ153における前半セルの書き込みアドレスWADDを管理するものである。前半セル到着フラグAは、前半セルの到着により“1”にセットされ、後半セルの到着により“0”にリセットされる。ポーリング済みフラグPは最初“0”であるが、ポーリングされると“1”にセットされる。

【0084】

（b-2）セル到着処理

図4 2は第1実施例におけるセル到着処理フローである。

制御部151は、図示しない操作パネルより動作開始フラグ（STARTFLAG）を受信するとセル到着処理を開始する（ステップ1001）。

まず、前半セルが到着したかチェックし（ステップ1002）、前半セルが到着すれば、空アドレスFIFOより48バイト超過の前半セルを格納する為のアドレス（Gadd）を取得する（ステップ1003）。

ついで、入力セルに付与されているVPI/VCIを48バイト超過セル管理テーブル155のアドレスデータとみなし、該VPI/VCIが示す記憶領域に上記の前半セル格納アドレスGaddを書き込みアドレスWADDとして格納する（ステップ1004）。

又、VPI/VCIが示す48バイト超過セル管理テーブル155の記憶領域に前半セル到着フラグAとして”1”を格納する（ステップ1005）。

【0085】

ついで、空アドレスFIFOより取得したデータメモリ153のアドレスGaddに前半セルを格納する（ステップ1006）。以後、始めに戻り、ステップ1001以降の処理を繰り返す。

一方、ステップ1002において、前半セルが到着しなければ、後半セルが到着したかチェックし（ステップ1007）、後半セルが到着しなければ始めに戻り以降の処理を繰り返す。しかし、ステップ1007において、後半セルが到着すれば、該後半セルに付与されているVPI/VCIをアドレスとし、該アドレスが示す48バイト超過セル管理テーブル155の記憶領域から前半セルを格納したアドレスWADDを読み出す（ステップ1008）。又、VPI/VCIが示す48バイト超過セル管理テーブル155の記憶領域に記憶されている前半セル到着フラグAを”0”にクリアする（ステップ1009）。

ついで、データメモリ153のアドレスWADDに前半セルに続いて後半セルを格納し（ステップ1010）、以後、始めに戻りステップ1001以降の処理を繰り返す。

【0086】

（b-3）遅延廃棄処理

図4 3は後半セルの到着遅延による廃棄処理（ポーリング処理）のフローであり、制御部151は前述のセル到着処理と並行してポーリング処理を行う。

初期時、ポーリングアドレスPaddを0にする(ステップ1051)。

ついで、48バイト超過セル管理テーブル155のポーリングアドレスPaddから、(1) 前半セル書き込みアドレスWADD、(2) 前半セル到着フラグA、(3) ポーリング済みフラグPを読み出し(ステップ1052～1054)、前半セル到着フラグA及びポーリング済みフラグPの状態をチェックする(ステップ1055,1056)。ついで、制御部151は、上記前半セル到着フラグA及びポーリング済みフラグPの状態に応じて以下の①～③の処理を行う。

【0087】

①前半セル到着フラグAがセットされ($A=1$)、ポーリング処理がまだ行われていなければ($P=0$)、ポーリングアドレスPaddが示す記憶領域のポーリング済みフラグPをセットする($P=1$) (ステップ1057)。

②前半セル到着フラグAがセットされ($A=1$)、ポーリング処理が既に1度行われていれば($P=1$)、前半セルが到着してから1ポーリング周期経過しても後半セルが到着していないから、該前半セルを廃棄するために、前半セルの書き込みアドレスWADDを空アドレス管理FIFO 154に通知する(ステップ1058)。これにより、空アドレス管理FIFO 154は通知されたアドレスWADDを空きアドレスとする(廃棄処理)。

③前半セル到着フラグAがリセットされていれば($A=0$)、既に、後半セルが到着しているから、何もしない。

【0088】

以上の①～③の処理が終了すれば、制御部151はポーリングアドレスPaddが48バイト超過セル管理テーブル155の最終アドレスと等しいかチェックし(ステップ1059)、等しければ始めに戻り、ステップ1051以降の処理を繰り返す。しかし、等しくなければ、ポーリングアドレスPaddを歩進し($Padd+1 \rightarrow Padd$) (ステップ1060)、ステップ1052以降の処理を繰り返す。

以上では、データメモリ153と48バイト超過セル管理テーブル155を別々のメモリに記憶した例を示したが、図44に示すようにVPI/VCIをアドレスとするデータメモリ153に、入力セルデータ(前半セル、後半セル)と共に、前半セル到着フラグA、ポーリング済みフラグP、前半セル書き込みアドレスWADDを記憶するよ

うに構成することもできる。

この第 1 実施例によれば、前半セル到着後に、後半セルの到着遅延による廃棄処理を行い、設定時間（ポーリング周期）を経過しても後半セルが到着しなければ前半セルを破棄するため、前半セルが滞留し続ける事態を防止でき、メモリの有効利用を図ることができる。

【0089】

（c）セル廃棄の第 2 実施例

（c-1）構成

図 4 5 は後半セルの到着遅延により前半セルを廃棄する廃棄制御を実現する第 2 実施例の構成図であり、図 4 1 の第 1 実施例と同一部分には同一符号を付している。第 2 実施例では、到着済み前半セルの到着時刻を記憶しておき、後半セルが未到着の前半セルの到着時刻と現在時刻との差を演算し、該差が規定時間を超えていれば、前半セルを廃棄する。

【0090】

図 4 5 において、151 はセル到着制御及び遅延廃棄制御を実行する制御部で、セル到着制御部 151a、遅延廃棄制御 151b、先頭アドレス Fadd 格納用のレジスタ 151c、最終アドレス Ladd 格納用のレジスタ 151d、到着レジスタ有効フラグ RE を格納するレジスタ 151e を備えている。152 はデータの読み／書きの制御を行うメモリ制御部、153 は入力データを記憶する入力データ格納 RAM（データメモリ）、154 はデータメモリ 153 の空アドレスを管理する空アドレス管理 FIFO である。データメモリ 153 に記憶される前半セルはその到着順序が管理され（後述）、到着順序が先頭の前半セルを記憶するデータメモリアドレスを先頭アドレス Fadd とし、最終の前半セルを記憶するデータメモリアドレスを最終アドレス Ladd としている。又、到着レジスタ有効フラグ RE はデータメモリ 153 に前半セルが記憶されていないとき“0”（無効状態）を示し、1 以上の前半セルが記憶されているとき“1”（有効状態）を示すものである。

【0091】

161 は前半セル管理メモリで、データメモリ 153 における前半セルの書き込みアドレス WADD を管理するもの、162 は前半セル管理メモリ 161 へのデータの読み／書

きを制御するメモリ制御部である。前半セル管理メモリ161は、前半セルのVPI/VC Iが示す位置に書き込みアドレスWADDとして、該前半セルが書き込まれたデータメモリ153のアドレスGaddを格納する。

163はタイムスタンプ管理メモリで、前半セルの到着時刻を管理するもの、164はタイムスタンプ管理メモリへのデータの読み/書きを制御するメモリ制御部である。タイムスタンプ管理メモリ163は、前半セルが書き込まれたデータメモリ153のアドレスGaddに対応してその到着時刻を記憶する。

【 0 0 9 2 】

165は前半セルチェーンメモリであり、前半セルの到着順序を管理すると共に後半セルの到着の有無を管理するもの、166は前半セルチェーンメモリに対するデータの読み/書きを制御するメモリ制御部である。前半セルチェーンメモリ165は、前半セルが書き込まれたデータメモリ153のアドレスGaddに対応して、(1) 後半セルの到着の有無を示す後半セル未到着フラグEA、(2) 次に到着した前半セルをポイントするためのチェーンアドレスCaddを記憶する。後半セル未到着フラグEAは前半セルの到着によりセットされ(EA=1)、後半セルの到着によりリセットされる(EA=0)。

【 0 0 9 3 】

図4 6はチェーンアドレスの説明図であり、前半セルがデータメモリ153のアドレスにGadd1→Gadd2→Gadd3の順序で格納されたものとする。かかる場合、前半セルチェーンメモリ165において、第1の前半セル格納アドレスGadd1に対応して記憶するチェーンアドレスCadd1は、第2の前半セル格納アドレスGadd2をポイントするようにCadd1=Gadd2とされる。又、第2の前半セル格納アドレスGadd2に対応して記憶するチェーンアドレスCadd2は、第3の前半セル格納アドレスGadd3をポイントするようにCadd2=Gadd3とされる。

【 0 0 9 4 】

(c-2) セル到着処理(タイムスタンプ処理) 図4 7及び図4 8は第2実施例におけるセル到着処理(タイムスタンプ処理)のフローである。

制御部151は、図示しない操作パネルより動作開始フラグ(STARTFLAG)を受信するとセル到着処理を開始し(ステップ2001)、到着レジスタ有効フラグREを無効

状態(RE=0)にする(ステップ2002)。

【0095】

ついで、制御部151は、前半セルが到着したかチェックし(ステップ2003)、前半セルが到着すれば、空アドレスFIFO 154より48バイト超過の前半セルを格納する為のアドレス(Gadd)を取得する(ステップ2004)。又、空きアドレス管理FIFO 154より取得したアドレスGaddが示すタイムスタンプ管理メモリ163の記憶領域に前半セル到着時刻(Time)を格納する(ステップ2005)。又、到着した前半セルに付与されているVPI/VCIを前半セル管理メモリ161のアドレスデータとみなし、該VPI/VCIが示す記憶領域に空アドレスFIFO 154より取得した前記データメモリアドレスGaddを、書き込みアドレスWADDとして格納する(ステップ2006)。

【0096】

しかる後、制御部151、前半セル到着レジスタが有効であるか、すなわち、到着レジスタ有効フラグRE=1であるかチェックする(ステップ2007)。前半セルが始めて入力された状態であればRE=0である。

RE=0であれば、制御部151は前半セルチェーンメモリ165におけるデータメモリアドレスGaddに対応する後半セル未到着フラグEAをセットする(EA=1)(ステップ2008)。ついで、空きアドレス管理FIFOより取得したデータメモリ153のアドレスGaddに受信した前半セルを格納する(ステップ2009)。又、先頭アドレスFadd、最終アドレスLaddを格納するレジスタ151c,151dに前記アドレスGaddをFadd,Laddとして書き込むと共に(ステップ2010)、到着レジスタ有効フラグREをセット(RE=1)し、レジスタ151c,151dを有効にする(ステップ2011)。以後、後述する廃棄処理を実行し、廃棄処理実行後、ステップ2003以降の処理を繰り返す。

【0097】

一方、ステップ2007において、前半パーシャルフィルセルが1セル以上蓄積されていれば(RE=1)、前半セルチェーンメモリ165の最終アドレスLaddが示す記憶領域に、今回取得したデータメモリアドレスGaddをチェーンアドレスCaddとして書き込む(ステップ2012)。又、前半セルチェーンメモリ165における今回取得したデータメモリアドレスGaddに対応する後半セル未到着フラグEAをセットする(EA=1)(ステップ2013)。ついで、データメモリ153のアドレスGaddに受信した

前半セルを格納する(ステップ2014)。又、最終アドレスLaddを格納するレジスタ151dに前記アドレスGaddをLaddとして書き込む(ステップ2015)。以後、後述する廃棄処理を実行し、廃棄処理実行後、ステップ2003以降の処理を繰り返す。

【0098】

一方、ステップ2003において、前半セルが到着しなければ、後半セルが到着したかチェックし(ステップ2016)、後半セルが到着しなければ廃棄処理を実行し、廃棄処理実行後、ステップ2003以降の処理を繰り返す。ステップ2016において、後半セルが到着すれば、該後半セルに付与されているVPI/VCIをアドレスとし、該アドレスが示す前半セル管理メモリ161の記憶域から前半セルを格納したアドレスWADDを読み出す(ステップ2017)。ついで、該アドレスWADDが示す前半セルチェーンメモリ165の記憶領域に記憶されている後半未到着フラグEAを0にクリアする(EA=0)(ステップ2018)。又、データメモリ153のアドレスWADDが示す記憶域に前半セルに続いて後半セルを格納し(ステップ2019)、以後、廃棄処理を実行し、廃棄処理実行後、ステップ2003以降の処理を繰り返す。

【0099】

(c-3) 遅延廃棄処理

図49は後半セルの到着遅延による廃棄処理のフローであり、制御部151はタイムスタンプ処理に連続してこの廃棄処理を行う。

制御部151は、先頭アドレスFaddが示すタイムスタンプ管理メモリ163の位置より先頭前半セルの到着時刻を読み出す(ステップ2051)。同様に、前半セルチェーンメモリ165の先頭アドレスFaddが示す位置より、後半セル未到着フラグEA、チェーンアドレスCaddを読み出す(ステップ2052)。

ついで、制御部151は前半セル到着レジスタが有効であるか、すなわち、RE=1であるかチェックし(ステップ2053)、前半セル到着レジスタが無効であれば(RE=0)、廃棄処理を終了する。

【0100】

RE=1で前半セル到着レジスタが有効であれば、先頭アドレスFaddと最終アドレスLaddが一致し、且つ、廃棄処理対象の前半セルと対をなす後半セルが到着しているか、すなわち、EA=0であるかチェックする(ステップ2054)。Fadd=Laddで、

かつ、EA=0であれば、次の廃棄処理対象の前半セルは存在しないとみなし、前半セル到着レジスタ値を無効にし(RE=0)(ステップ2055)、廃棄処理を終了する。

ステップ2054の条件が満たされない場合には、廃棄処理対象の前半セルと対をなす後半セルが到着しているか、すなわち、EA=0であるかチェックする(ステップ2056)。

【0101】

EA=0であれば、次サイクルにおいて廃棄処理の対象となる前半セルが記憶されているアドレスを新たな先頭アドレスFaddとする。この次サイクルにおいて廃棄処理の対象となる前半セルが記憶されているアドレスは、ステップ2052で読出したチェーンアドレスCaddと一致する。従って、EA=0であればチェーンアドレスCaddを新たな先頭アドレスFaddとし(ステップ2057)、廃棄処理を終了する。

一方、EA=1で後半セルが未到着であれば、次式

現時刻>到着時刻(Time)+設定値

を満足するかチェックし(ステップ2058)、満足しなければ、全ての前半セルについて上式は成立しないから直ちに廃棄処理を終了する。

【0102】

しかし、上式が成立すれば、前半セル到着後、長時間経過しても後半セルが到着せず、従って、該後半セルは転送途中で廃棄されたものとみなし、先頭アドレスFaddを空アドレス管理FIFO 154に通知する(ステップ2059)。これにより、空アドレス管理FIFO 154は通知されたアドレスを空きアドレスとする(廃棄処理)。

ついで、制御部151は先頭アドレスFaddと最終アドレスFaddが一致し、且つ、後半セル未到着(EA=1)であるかチェックし(ステップ2060)、Fadd=Laddで、EA=1であれば、遅延廃棄の処理対象である次のセルが存在しないとみなし、前半セル到着レジスタ値を無効にし(RE=0)(ステップ2055)、廃棄処理を終了する。

【0103】

しかし、Fadd≠Laddあるいは、EA≠1であれば、遅延廃棄の処理対象である次のセルが存在するから、チェーンアドレスCaddを新たな先頭アドレスFaddとし(ステップ2057)、廃棄処理を終了する。尚、次のサイクルで新たな先頭アドレスFaddが示す前半セルの廃棄処理が行われる。

この第2実施例によれば、前半セル到着後に、後半セルの到着遅延による廃棄処理を行い、設定時間経過しても後半セルが到着しなければ前半セルを破棄するため、前半セルが滞留し続ける事態を防止でき、メモリの有効利用を図ることができる。

【0104】

(d) セル廃棄の第3実施例

(d-1) 構成

図50は廃棄制御を実現する第3実施例の構成図であり、図45の第2実施例と同一部分には同一符号を付している。第3実施例では、後半セルの到着遅延により前半セルを廃棄すると共に、メモリからの読出し遅延によりセル（前半セル、後半セル）を廃棄する。すなわち、後半セルが到着した時刻を記憶し、該後半セルの到着時刻と現在時刻を比較し、所定時間経過してもメモリから読出されて回線に送出されない到着済みの前半セル及び後半セルを廃棄する。

【0105】

図50において図45の第2実施例と異なる点は、

- ・第2実施例の前半セルチェーンメモリ165を削除した点、
 - ・第2実施例の前半セルチェーンメモリ165に記憶した後半セル未到着フラグE AとチェーンアドレスCaddをタイムスタンプ管理メモリ163に記憶した点、
 - ・タイムスタンプ管理メモリ163に、データメモリ153からセルが読出されたか否かを示すリード未フラグRDを記憶する点、
 - ・タイムスタンプ管理メモリ163のセル到着時刻欄に、前半セル到着時刻を書き込むと共に後半セル到着時刻を上書きする点、
 - ・ショートパケット長が48バイト未満のもの、48バイトを超えるものを混在して処理するようにしている点、
- である。尚、リード未フラグRDは、48バイト未満のセル到着時、あるいは、後半セル到着時にRD=1となり、メモリから読出された時にRD=0になる。

【0106】

(d-2) セル到着処理(タイムスタンプ処理) 図51及び図52は第3実施例におけるセル到着処理(タイムスタンプ処理)フローである。

制御部151は、図示しない操作パネルより動作開始フラグ (STARTFLAG) を受信するとセル到着処理を開始し(ステップ3001)、到着レジスタ有効フラグREを無効状態(RE=0)にする(ステップ3002)。

ついで、制御部151は、48バイト未満のパーシャルフィルセルが到着したかチェックし(ステップ3003)、到着しなければ、前半セルが到着したかチェックする(ステップ3004)。

【 0 1 0 7 】

ステップ3003において48バイト未満のパーシャルフィルセルが到着し、あるいは、ステップ3004において、前半セルが到着すれば、空アドレスFIFO 154より48バイト未満のセルあるいは48バイト超過の前半セルを格納する為のアドレス (Gadd) を取得する(ステップ3005)。又、空きアドレス管理FIFO 154より取得したアドレスGaddが示すタイムスタンプ管理メモリ163の記憶領域にセル到着時刻(Time)を格納する(ステップ3006)。

ついで、到着セルが48バイト未満のセルであるか48バイト超過の前半セルであるかチェックし(ステップ3007)、48バイト超過の前半セルであれば、該前半セルに付与されているVPI/VCIを前半セル管理メモリ161のアドレスデータとみなし、該VPI/VCIが示す記憶領域にステップ3005で取得したデータメモリアドレスGaddを書き込みアドレスWADDとして格納する(ステップ3008)。

【 0 1 0 8 】

しかる後、制御部151、セル到着レジスタが有効であるか、すなわち、到着レジスタ有効フラグRE=1であるかチェックする(ステップ3009)。セル(48バイト未満のセルあるいは48バイト超過の前半セル)が始めて入力された状態であればRE=0である。尚、以下で単にセルという場合には、48バイト未満のセル及び48バイト超過の前半セルの両方を意味するものとする。

RE=0であり、到着セルが48バイト超過の前半セルであれば、制御部151は、タイムスタンプ管理メモリ163におけるデータメモリアドレスGaddに対応する後半セル未到着フラグEAを1にセットする (EA=1) 。又、RE=0であり、到着セルが48バイト未満のセルであれば、リード未フラグRDを1にセットする (RD=1)。(ステップ3010)。

【0109】

ついで、空きアドレス管理FIFOより取得したデータメモリ153のアドレスGaddに受信したセルを格納する(ステップ3011)。又、先頭アドレスFadd、最終アドレスLaddを格納するレジスタ151c,151dに前記アドレスGaddをFadd,Laddとして書き込むと共に(ステップ3012)、到着レジスタ有効フラグREをセットしてレジスタ151c,151dを有効にする(RE=1)(ステップ3013)。以後、後述する廃棄処理を実行し、廃棄処理実行後、ステップ3003以降の処理を繰り返す。

一方、ステップ3009において、セルが1セル以上蓄積されていれば(RE=1)、タイムスタンプ管理メモリ163の最終アドレスLaddが示す記憶領域に、今回取得したデータメモリアドレスGaddをチェーンアドレスCaddとして書き込む(ステップ3014)。

【0110】

又、到着セルが48バイト超過の前半セルであれば、制御部151は、タイムスタンプ管理メモリ163におけるデータメモリアドレスGaddに対応する後半セル未到着フラグEAを1にセットする(EA=1)。尚、到着セルが48バイト未満のセルであれば、リード未フラグRDを1にセットする(RD=1)。(ステップ3015)。

ついで、データメモリ153のアドレスGaddに受信したセルを格納する(ステップ3016)。又、最終アドレスLaddを格納するレジスタ151dに前記アドレスGaddをLaddとして書き込む(ステップ3017)。以後、後述する廃棄処理を実行し、廃棄処理実行後、ステップ3003以降の処理を繰り返す。

【0111】

一方、ステップ3004において、前半セルが到着しなければ、後半セルが到着したかチェックし(ステップ3018)、後半セルが到着しなければ廃棄処理を実行し、廃棄処理実行後、ステップ3003以降の処理を繰り返す。ステップ3018において、後半セルが到着すれば、該後半セルに付与されているVPI/VCIをアドレスとし、該アドレスが示す前半セル管理メモリ161の記憶領域から前半セルを格納したアドレスWADDを読み出す(ステップ3019)。アドレスWADDが求めれば、該アドレスWADDが示すタイムスタンプ管理メモリ163の記憶領域(到着時刻欄)に後半セルの到着時刻(Time)を上書きする(ステップ3020)。上書きにより前半セルの到着時刻が

消えるが、後半セル到着後において前半セルの到着時刻は不要となるため何ら問題はない。又、後半セルの到着時刻を記憶する理由は、後半セル到着後に所定時間経過してもデータメモリ153から読出されない前半/後半セルを廃棄するための制御（読出遅延による廃棄制御）を行うためである。

【0112】

ついで、後半セル及び該後半セルと対をなす前半セルを読出遅延による廃棄制御の対象とするための処理を行う。すなわち、最終アドレスLaddが示すタイムスタンプ管理メモリ163の記憶域(チェーンアドレス欄)にチェーンアドレスとして前記アドレスWADDを書き込む。又、リード未フラグRDをセットする(RD=1)(ステップ3021)。

以後、アドレスWADDが示すタイムスタンプ管理メモリ163の記憶領域に記憶されている後半セル未到着フラグEAを0にクリアする(EA=0)(ステップ3022)。又、データメモリ153のアドレスWADDが示す記憶領域に前半セルに続いて後半セルを格納する(ステップ3033)。後半セルの格納処理終了後、廃棄処理を実行し、廃棄処理実行後にステップ3003以降の処理を繰り返す。

【0113】

(d-3) 遅延廃棄処理

図53は第3実施例の廃棄処理フローであり、後半セル到着遅延による廃棄処理及びセル読出し遅延による廃棄処理の両方を含んでいる。これら両方の処理は一体に行われるが以下においては便宜上、分けて説明する。

・後半セル到着遅延による廃棄処理

制御部151は、タイムスタンプ管理メモリ163の先頭アドレスFaddが示す位置よりセル到着時刻、後半セル未到着フラグEA、チェーンアドレスCadd、リード未フラグRDを読み出す(ステップ3051)。

【0114】

ついで、制御部151は前半到着レジスタが有効であるか、すなわち、RE=1であるかチェックし(ステップ3052)、前半セル到着レジスタが無効であれば(RE=0)、廃棄処理を終了する。

RE=1で前半セル到着レジスタが有効であれば、先頭アドレスFaddと最終アドレ

スLaddが一致し、且つ、廃棄処理対象の前半セルと対をなす後半セルが到着しているか、すなわち、EA=0であるかチェックする(ステップ3053)。Fadd=Laddで、かつ、EA=0であれば、次の廃棄処理対象の前半セルは存在しないとみなし、前半セル到着レジスタ値を無効にし(RE=0)(ステップ3054)、廃棄処理を終了する。

ステップ3053の条件が満たされない場合には、廃棄処理対象の前半セルと対をなす後半セルが既に到着しているか、すなわち、EA=0であるかチェックする(ステップ3055)。

【0115】

EA=0であれば、次サイクルにおいて廃棄処理の対象となる前半セルが記憶されているアドレスを新たな先頭アドレスFaddとする。この次サイクルにおいて廃棄処理の対象となる前半セルが記憶されているアドレスは、ステップ3051で読出したチェーンアドレスCaddと一致する。従って、EA=0であればチェーンアドレスCaddを新たな先頭アドレスFaddとし(ステップ3056)、廃棄処理を終了する。

一方、ステップ3055において、EA=1で後半セルが未到着であれば、次式

$$\text{現時刻} > \text{前半セル到着時刻 (Time)} + \text{設定値}$$
を満足するかチェックし(ステップ3057)、満足しなければ、全ての前半セルについて上式は成立しないから直ちに廃棄処理を終了する。尚、上式において、到着時刻は、前半セル到着時刻である。

【0116】

しかし、上式が成立すれば、前半セル到着後、長時間経過しても後半セルが到着せず、従って、該後半セルは転送途中で廃棄されたものとみなし、先頭アドレスFaddを空アドレス管理FIFO 154に通知する(ステップ3058)。これにより、空アドレス管理FIFO 154は通知されたアドレスを空きアドレスとする(廃棄処理)。

ついで、制御部151は先頭アドレスFaddと最終アドレスFaddが一致し、且つ、EA=1であるかチェックし(ステップ3059)、Fadd=Laddで、EA=1であれば、遅延廃棄の処理対象である次のセルが存在しないとみなし、前半セル到着レジスタ値を無効にし(RE=0)(ステップ3054)、廃棄処理を終了する。

しかし、Fadd≠Laddあるいは、EA≠1であれば、遅延廃棄の処理対象である次のセルが存在するから、チェーンアドレスCaddを新たな先頭アドレスFaddとし(

ステップ3056)、廃棄処理を終了する。尚、次のサイクルで新たな先頭アドレス Faddが示す前半セルの廃棄処理が行われる。

【 0 1 1 7】

・ 読出し遅延による廃棄処理

以下の処理は、48バイト未満のセルの廃棄処理及び前半/後半セルの両方が到着している場合の廃棄処理である。

制御部151は、タイムスタンプ管理メモリ163の先頭アドレスFaddが示す位置よりセル到着時刻、後半セル未到着フラグEA、チェーンアドレスCadd、リード未フラグRDを読み出す(ステップ3051)。

ついで、制御部151はセル到着レジスタが有効であるか、すなわち、RE=1であるかチェックし(ステップ3052)、セル到着レジスタが無効であれば (RE=0)、廃棄処理を終了する。

【 0 1 1 8】

RE=1でセル到着レジスタが有効であれば、先頭アドレスFaddと最終アドレス Laddが一致し、且つ、リード未フラグRD=0であるかチェックする(ステップ3053)。Fadd=Laddで、かつ、RD=0であれば、次の廃棄処理対象のセルは存在しないとみなし、セル到着レジスタ値を無効にし(RE=0)(ステップ3054)、廃棄処理を終了する。

一方、ステップ3053の条件が満たされない場合は、廃棄処理対象のセルが既に読出されているか、すなわち、RD=0であるかチェックする(ステップ3055)。RD=0で、既に読出されていれば、次サイクルにおいて廃棄処理の対象となるセルが記憶されているアドレスを新たな先頭アドレスFaddとする。この次サイクルにおいて廃棄処理の対象となるセルの記憶アドレスは、ステップ3051で読出したチェーンアドレスCaddと一致する。従って、RD=0であればチェーンアドレスCaddを新たな先頭アドレスFaddとし(ステップ3056)、廃棄処理を終了する。

【 0 1 1 9】

一方、RD=1で、セルが未だメモリから読出されていなければ、次式

$$\text{現時刻} > \text{到着時刻 (Time)} + \text{設定値}$$
を満足するかチェックし (ステップ3057)、満足しなければ、全てのセルについ

て上式は成立しないから直ちに廃棄処理を終了する。尚、上式において、到着時刻は、後半セル到着時刻または48バイト未満セルの到着時刻である。

上式が成立すれば、セルあるいは後半セルが長時間データメモリ153から読出されずに滞留していることを意味する。かかるセルはもはや読出される可能性は小さいから、先頭アドレスFaddを空アドレス管理FIFO 154に通知して破棄する(ステップ3058)。すなわち、空アドレス管理FIFO 154は通知されたアドレスを空きアドレスとし(廃棄処理)、メモリの有効利用を図る。

【0120】

ついで、制御部151は先頭アドレスFaddと最終アドレスLaddが一致し、且つ、RD=1であるかチェックし(ステップ3059)、Fadd=Laddで、RD=1であれば、読出し遅延廃棄の処理対象である次のセルが存在しないとみなし、セル到着レジスタ値を無効にし(RE=0)(ステップ3054)、廃棄処理を終了する。

しかし、Fadd≠Laddあるいは、RD≠1であれば、読出し遅延廃棄の処理対象である次のセルが存在するから、チェーンアドレスCaddを新たな先頭アドレスFaddとし(ステップ3056)、廃棄処理を終了する。尚、次のサイクルで新たな先頭アドレス Faddが示すセルの廃棄処理が行われる。

【0121】

第3実施例によれば、前半セル到着後に後半セルの到着遅延による廃棄処理を行い、設定時間経過しても後半セルが到着しなければ前半セルを破棄するため、前半セルがメモリに滞留し続ける事態を防止でき、メモリの有効利用を図ることができる。

又、第3実施例によれば、後半セル到着後に読出し遅延による廃棄処理を行い、設定時間が経過してもメモリから読出されなければ前半/後半セルを破棄するため、これら前半/後半セルがメモリに滞留し続ける事態を防止でき、メモリの有効利用を図ることができる。

以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【0122】

【発明の効果】

以上本発明によれば、1つのATMセルに収容できる長さLバイト(=48バイト)より大きい長さのショートパケットを2つのATMセルに収容するように分割し、第1のATMセルのペイロード領域に、(1)分割した一方のショートパケット部分と(2)ショートパケットの長さ情報を含む有意データを収容し、第2のATMセルのペイロード領域に第1セルに収容出来なかった残りの有意データを収容し、各ATMセルをATMスイッチに入力するようにしたから、48バイトを超える長さのショートパケットをスイッチングすることが可能となった。また、本発明によれば、標準ATMセルを処理する既存のATMスイッチなどのハードウェアがそのまま使用できるため、設備コストを抑えることができる。

【0123】

本発明によれば、48バイトを超えるショートパケットの分割法を種々工夫しているため、復元側において、(1) ショートパケットを分割して生成したパースャルフィルセルであるか否か、及び、(2) 各セルの有意データ長、を容易に認識でき、元の48バイトを超えるショートセルを正しく復元することができる。

本発明によれば、(1)前半セル／後半セルの特定の領域にシーケンス番号情報を付加し、あるいは、(2) 前半セル／後半セルの特定の領域にセル識別用のコード情報を付加し、あるいは、(3) 後半セルの特定領域にショートパケットの全有意データを用いて作成した誤り検出符号を付加するようにしたから、復元側において確実に転送途中でのセル廃棄を検出でき、又、セル廃棄の検出により対となる他方のセルを廃棄してデータ伝送の品質を維持できる。

【0124】

本発明によれば、メモリに長時間滞留するセルを破棄するため、メモリの有効利用を図ることができ、新たなセルをメモリに確実に格納することができる。

又、本発明によれば、前半セル到着後に後半セルの到着遅延による廃棄処理を行うため、設定時間が経過しても後半セルが到着しなければ前半セルを破棄するため、前半セルが滞留し続ける事態を防止でき、メモリの有効利用を図ることができ、しかも、データの伝送品質を維持することができる。

又、本発明によれば、後半セル到着後に読出し遅延による廃棄処理を行い、設

定時間が経過してもメモリから読出されなければ前半／後半セルを破棄するため、これら前半／後半セルがメモリに滞留し続ける事態を防止でき、メモリの有効利用を図ることができ、しかも、データの伝送品質を維持することができる。

【図面の簡単な説明】

【図 1】

本発明の概略説明図である。

【図 2】

第1のパーシャルフィルセルの例（パーシャルフィルセル1セル目に48バイト埋め込み）である。

【図 3】

第2のパーシャルフィルセルの例（32バイト毎に分割）である。

【図 4】

LIと分割バイト数の例である。

【図 5】

第3のパーシャルフィルセルの例（第1セル目に32バイトを埋め込み、シーケンス挿入）である。

【図 6】

第4のパーシャルフィルセルの例（32バイト毎に分割、2セルともにショートセルヘッダを挿入し、その未使用の領域を使ってシーケンス番号を埋め込み）である。

【図 7】

第5のパーシャルフィルセルの例（32バイト毎に分割、標準セルヘッダの中にシーケンス番号を埋め込み）である。

【図 8】

第6のパーシャルフィルセルの例（48+16バイトに分割、2セル目BIPを埋め込み）である。

【図 9】

第7のパーシャルフィルセルの例（パーシャルフィルセル2セルともにショートセルヘッダを挿入し、その両方に長さ情報を埋め込み）である。

【図 1 0】

第7実施例の第1、第2パーシャルフィルセルのLI値説明図表(その1)である。

【図 1 1】

第7実施例の第1、第2パーシャルフィルセルのLI値説明図表(その2)である。

【図 1 2】

第8のパーシャルフィルセルの例（パーシャルフィルセル2セルともにショートセルヘッダを挿入し、その両方に長さ情報を埋め込み）である。

【図 1 3】

第8実施例の第1、第2パーシャルフィルセルのLI値説明図表(その1)である。

【図 1 4】

第8実施例の第1、第2パーシャルフィルセルのLI値説明図表(その2)である。

【図 1 5】

64バイト長ショートセル対応ATM交換機の構成例である。

【図 1 6】

第1実施例のパーシャルフィルセル化部の構成例である。

【図 1 7】

カウント値とセレクト信号の対応図表である。

【図 1 8】

第1実施例のAALtype2セル化部の構成例である。

【図 1 9】

第2実施例のパーシャルフィルセル化部の構成例である。

【図 2 0】

カウント値とセレクト信号の対応図表である。

【図 2 1】

第2実施例のAALtype2セル化部の構成例である。

【図 2 2】

第3実施例のパーシャルフィルセル化部の構成例である。

【図 2 3】

カウント値とセレクト信号の対応図表である。

【図 2 4】

第3実施例のAALtype2セル化部の構成例ある。

【図 2 5】

第4実施例のパーシャルフィルセル化部の構成例である。

【図 2 6】

カウント値とセレクト信号の対応図表である。

【図 2 7】

第4実施例のAALtype2セル化部の構成例である。

【図 2 8】

第5実施例のパーシャルフィルセル化部の構成例である。

【図 2 9】

カウント値とセレクト信号の対応図表である。

【図 3 0】

第5実施例のAALtype2セル化部の構成例である。

【図 3 1】

第6実施例のパーシャルフィルセル化部の構成例である。

【図 3 2】

カウント値とセレクト信号の対応図表である。

【図 3 3】

第6実施例のAALtype2セル化部の構成例である。

【図 3 4】

第7実施例のパーシャルフィルセル化部の構成例である。

【図 3 5】

カウント値とセレクト信号の対応図表である。

【図 3 6】

第7実施例のAALtype2セル化部の構成例である。

【図 3 7】

第8実施例のパーシャルフィルセル化部の構成例である。

【図 3 8】

カウント値とセレクト信号の対応図表である。

【図 3 9】

第8実施例のAALtype2セル化部の構成例である。

【図 4 0】

本発明のセル廃棄制御の概略説明図である。

【図 4 1】

本発明のセル廃棄制御を実現する第1の構成図である。

【図 4 2】

セル到着処理フローである。

【図 4 3】

ポーリング処理フローである。

【図 4 4】

入力DATA格納RAMの構成例である。

【図 4 5】

本発明の廃棄制御を実現する第2の構成図である。

【図 4 6】

チェーンアドレスCaddの説明図である。

【図 4 7】

タイムスタンプ処理フロー(その1)である。

【図 4 8】

タイムスタンプ処理フロー(その2)である。

【図 4 9】

遅延廃棄処理フローである。

【図 5 0】

本発明の廃棄制御を実現する第3の構成図である。

【図 5 1】

タイムスタンプ処理フロー(その1)である。

【図 5 2】

タイムスタンプ処理フロー(その2)である。

【図 5 3】

遅延廃棄処理フローである。

【図 5 4】

AALtype2セルフォーマット説明図である。

【図 5 5】

AALtype2セル及びショートセルのフォーマット説明図である。

【図 5 6】

AALtype2による転送方式の概念図である。

【図 5 7】

AALtype2セル、ショートセル及びパーシャルフィルセルのフォーマット説明図である。

【図 5 8】

従来の廃棄制御の概略説明図である。

【図 5 9】

64バイト長ショートセル(AALtype2セル)である。

【符号の説明】

- 1 分離処理部
- 2 ATMスイッチ
- 3 復元処置部

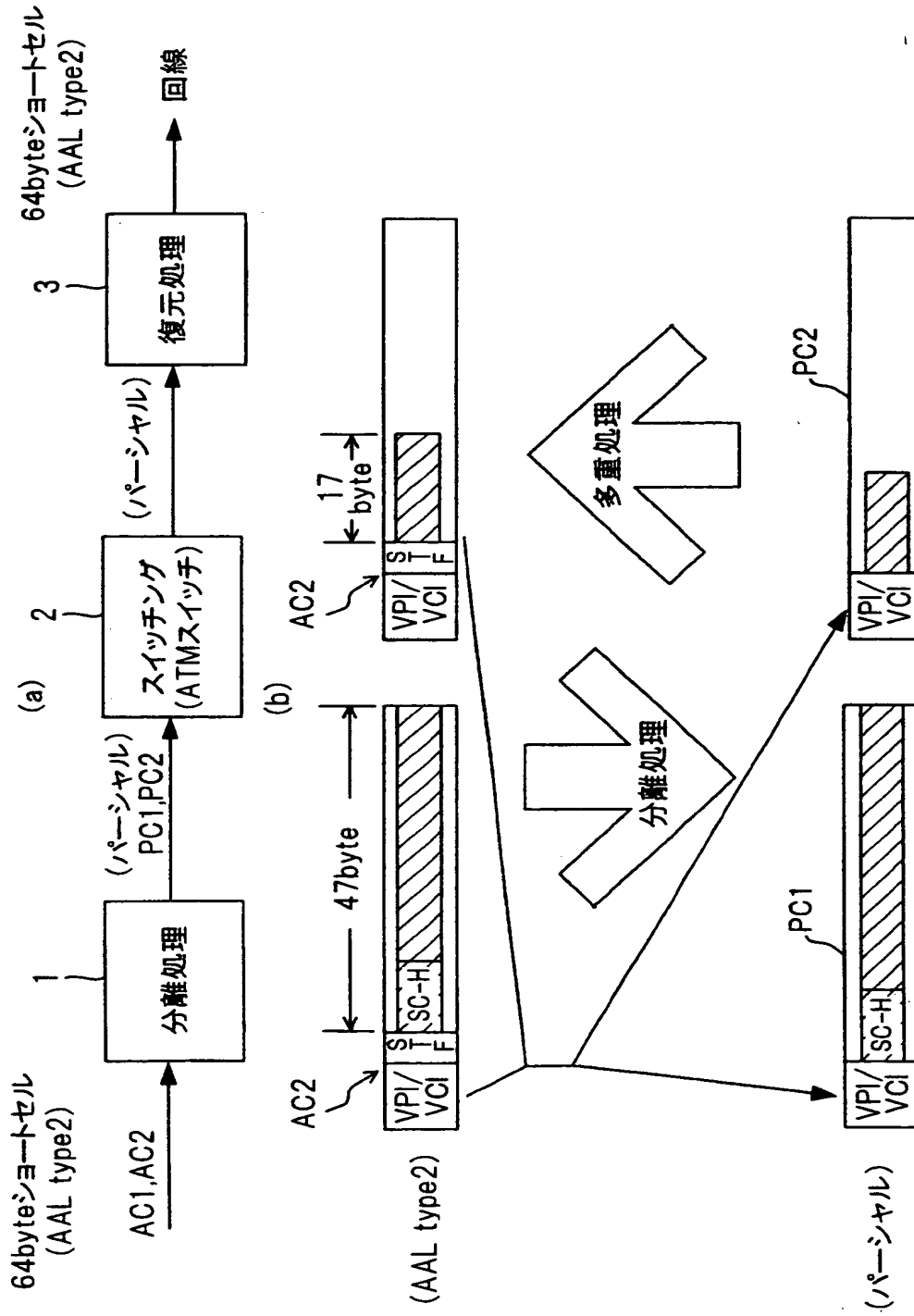
AC1,AC2 AALtype2セル

PC1,PC2 パーシャルフィルセル

【書類名】 図面

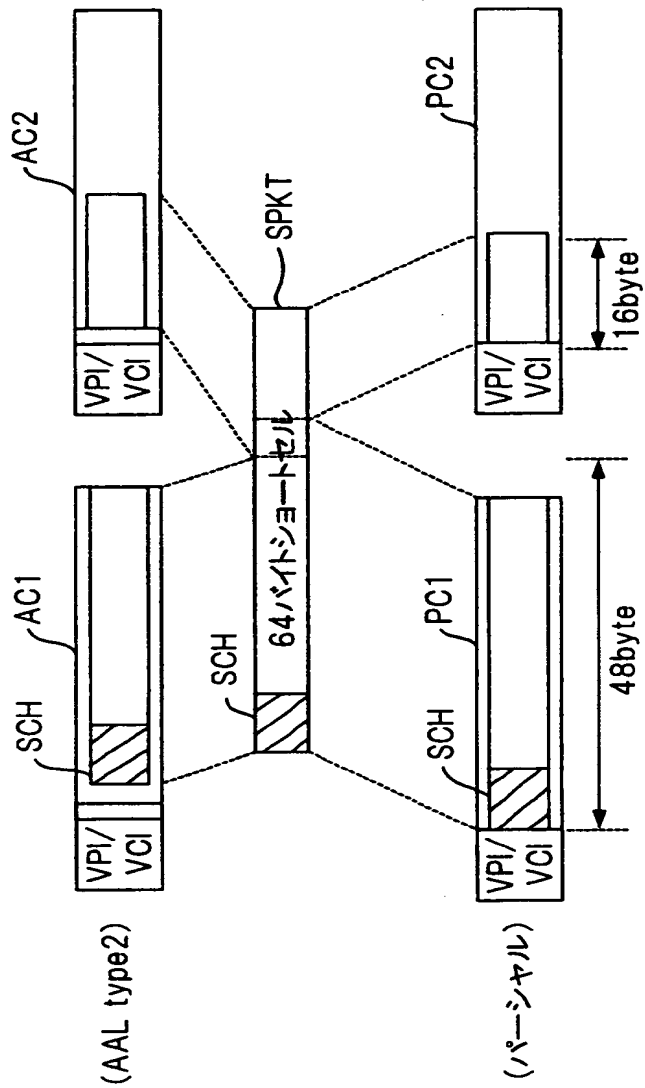
【図 1】

本発明の概略説明図



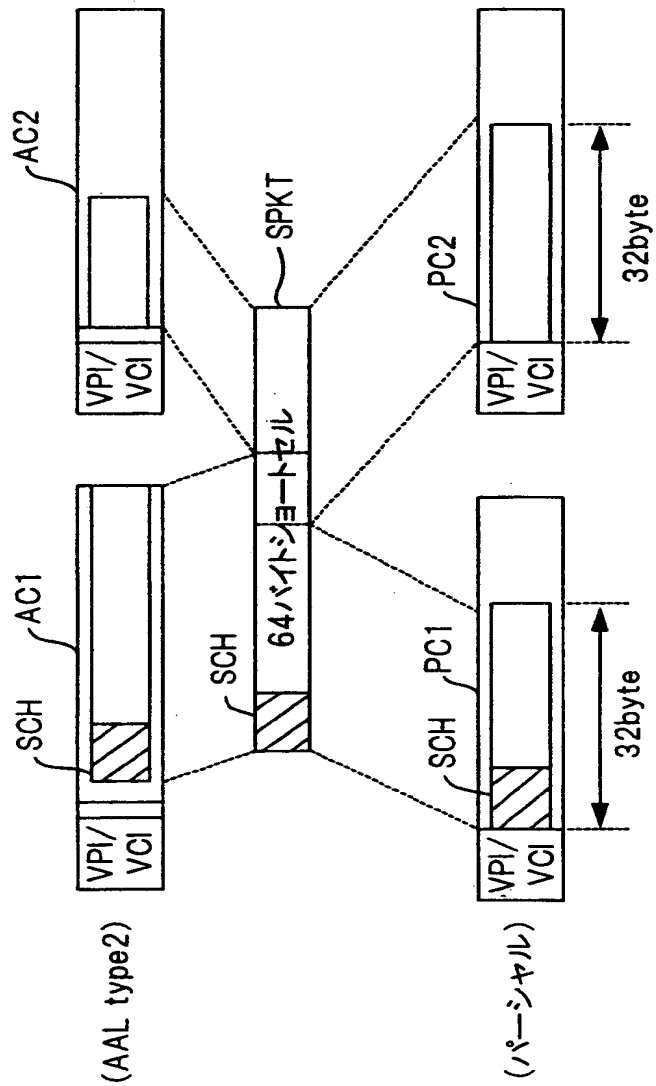
【図 2】

第1のパーシャルフィルセルの例
(パーシャルフィル1セル目に48バイト埋め込み)



【図 3】

第2のパーシャルフィルセルの例 (32バイト毎に分割)



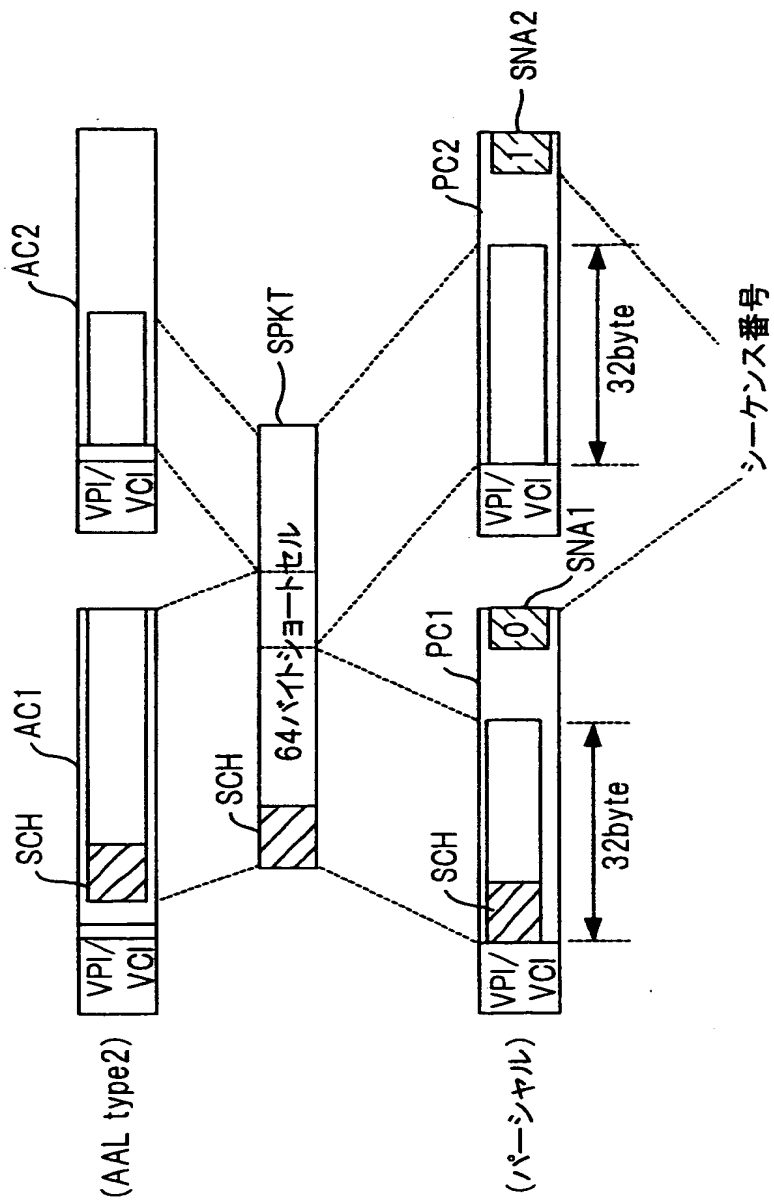
【図 4】

Lと分割バイト数の例

ショート パケットの長さ (byte)	L (=ショート パケットの 長さ・4)	第1セル目 バイト数 B1	第2セル目 バイト数 B2
4	0	4	0
5	1	5	0
⋮	⋮	⋮	0
47	43	47	0
48	44	48	0
49	45	24	25
50	46	25	25
51	47	25	26
52	48	26	26
53	49	26	27
54	50	27	27
55	51	27	28
56	52	28	28
57	53	28	29
58	54	29	29
59	55	29	30
60	56	30	30
61	57	30	31
62	58	31	31
63	59	31	32
64	60	32	32
65	61	32	33
66	62	33	33
67	63	33	34

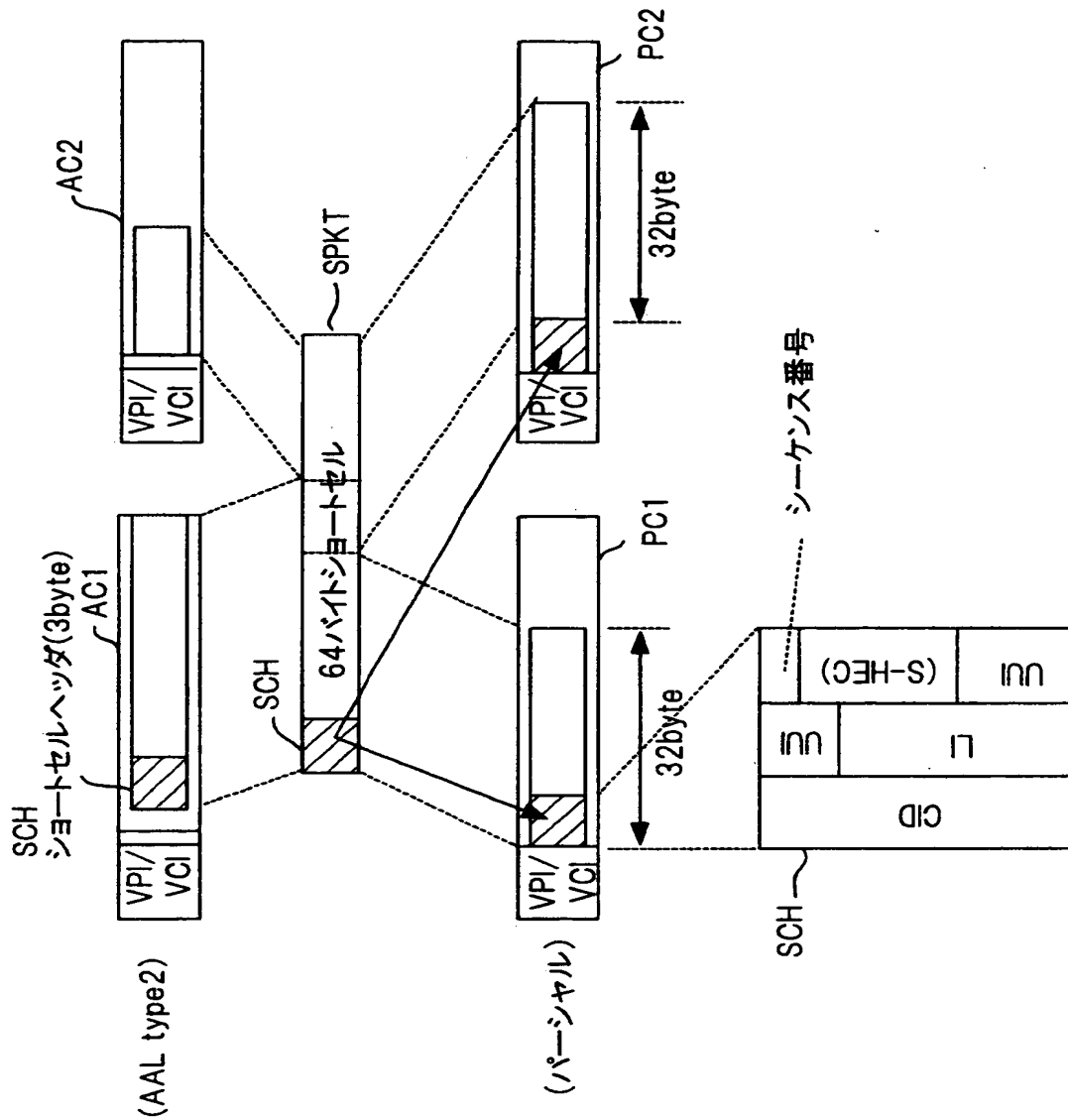
【図 5】

第3のパーシャルフィルセルの例
(第1セル目に32バイトを埋め込み、シーケンス挿入)



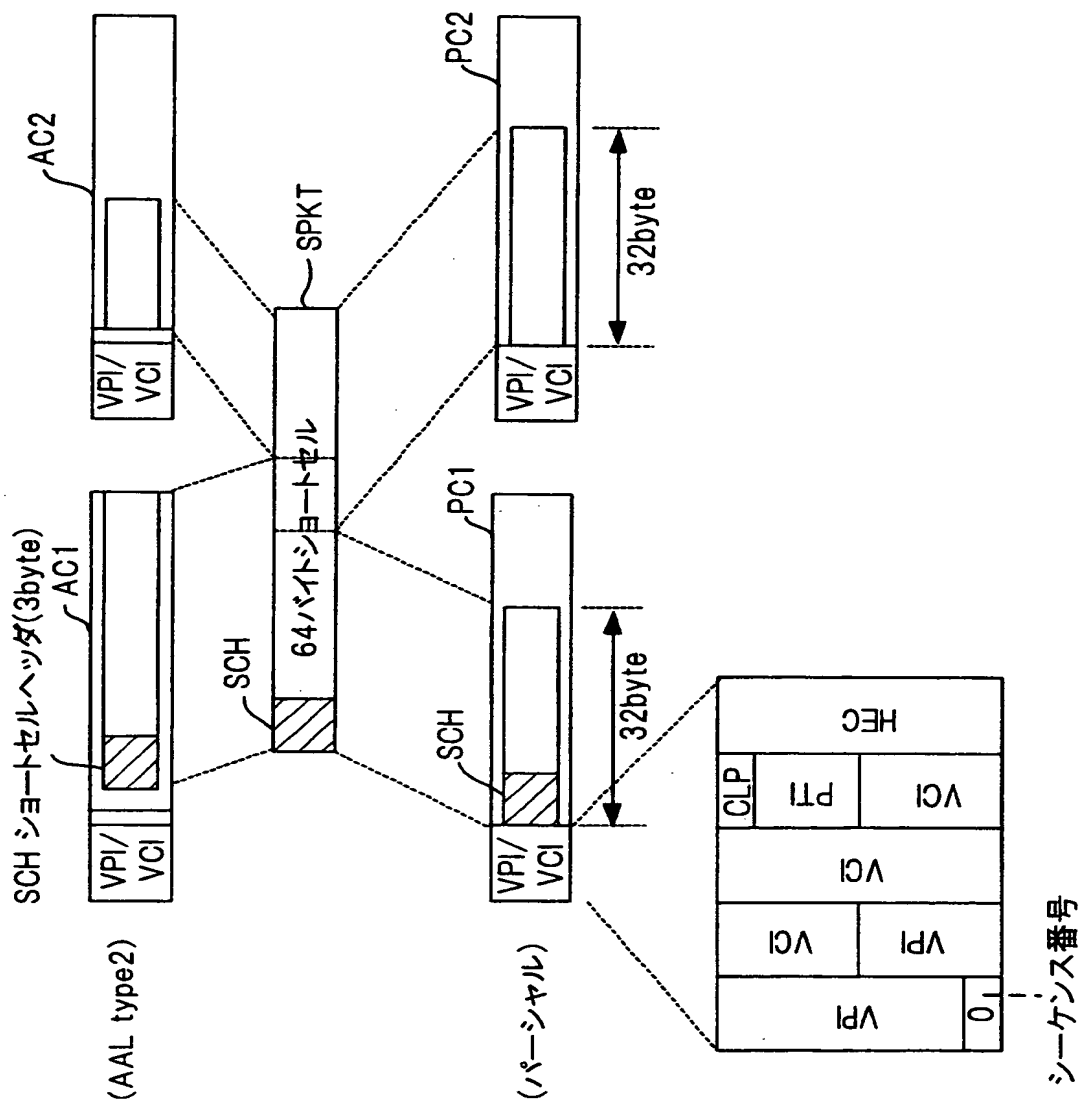
【図 6】

第4のパーシャルフィルセルの例
(32バイト毎に分割、2セルともにショートセルヘッダを挿入し、
その未使用の領域を使ってシーケンス番号を埋め込み)



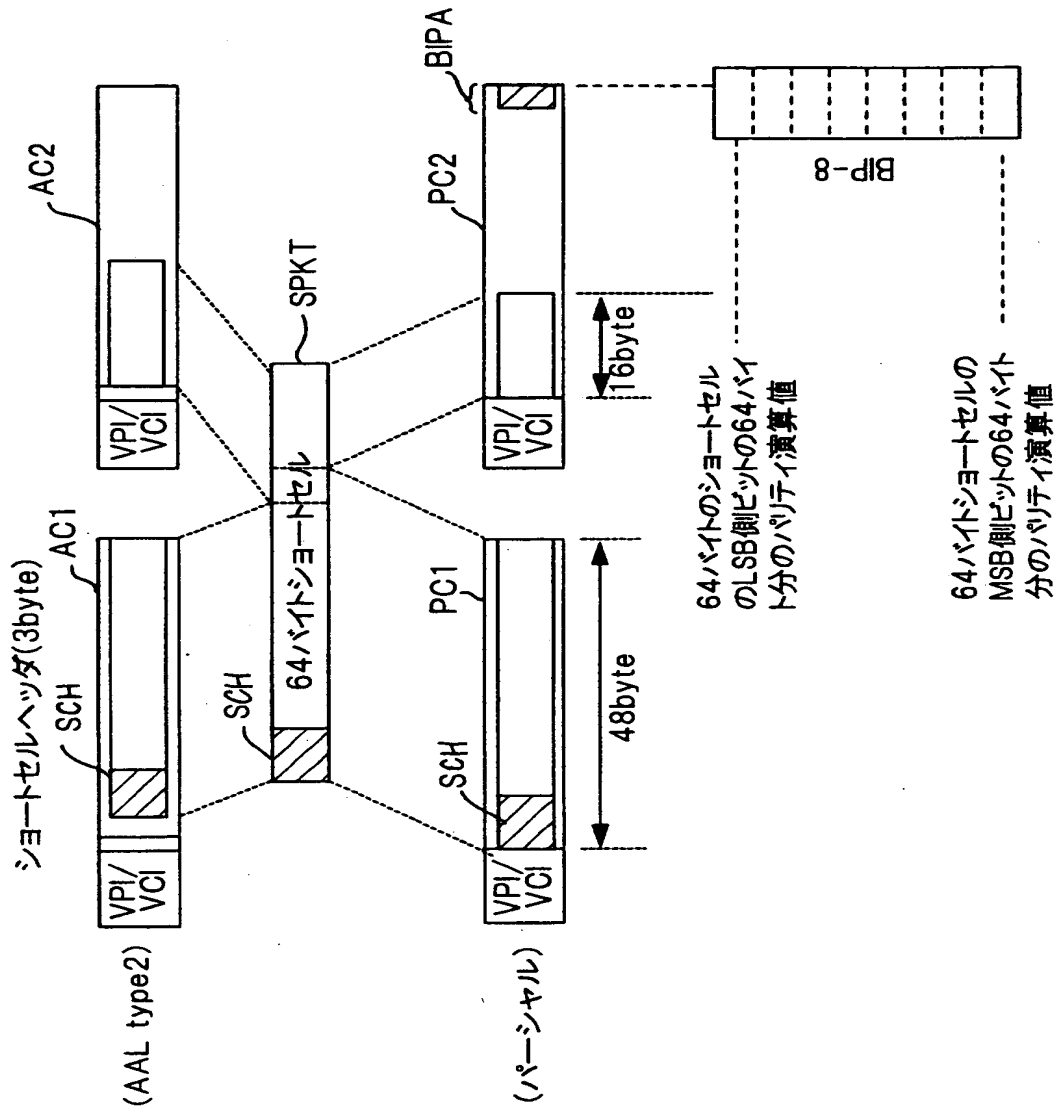
【図 7】

第5のパーシャルフィルセルの例
(32バイト毎に分割、標準セルヘッダの中にシーケンス番号を埋め込み)



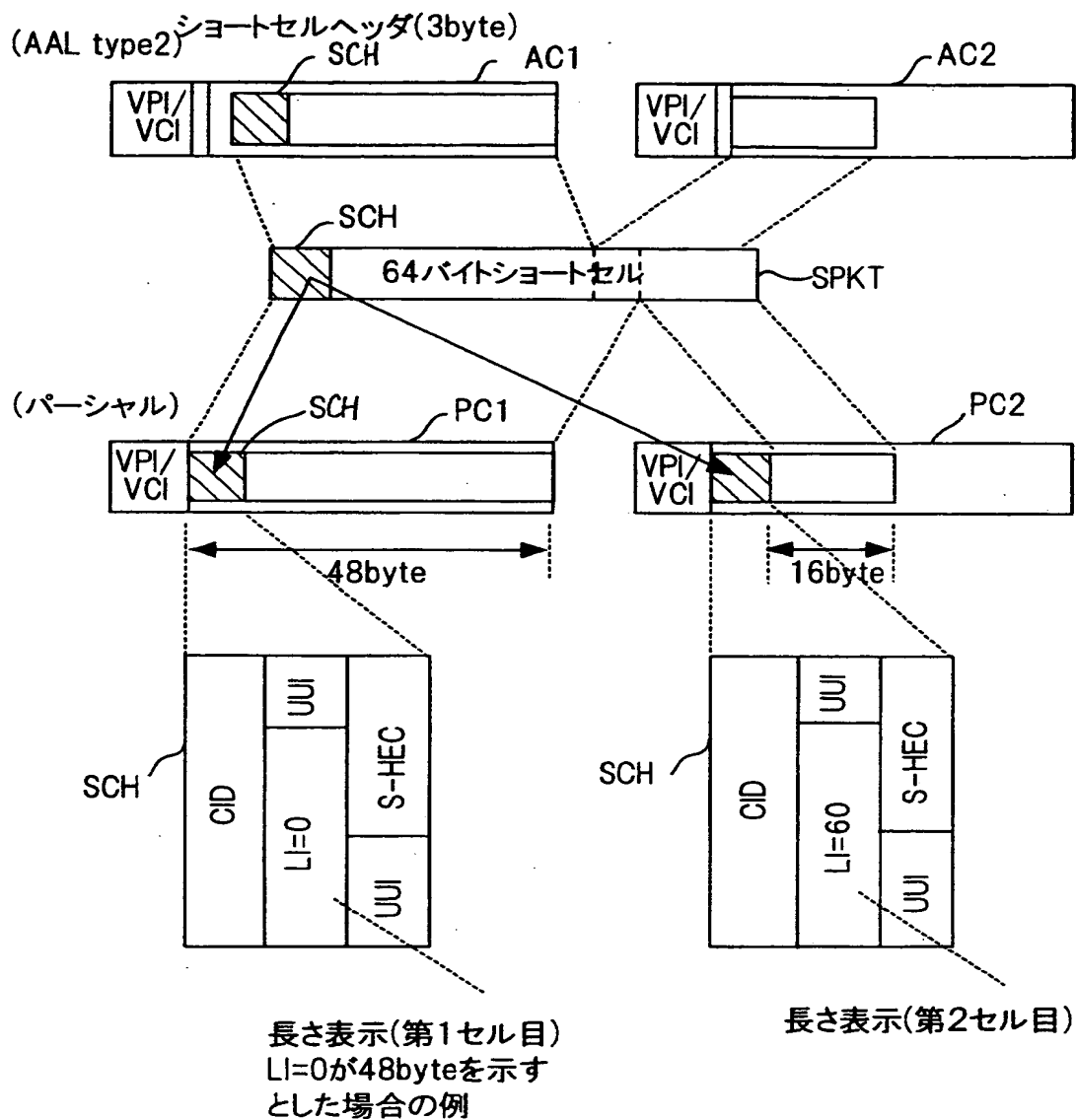
【図 8】

第6のパーシャルフィルセルの例
(48+16バイトに分割、2セル目にBIPを埋め込み)



【図 9】

第7のパーシャルフィルセルの例
(パーシャルフィルセル2セルともにショートセルヘッダを
挿入し、その両方に長さ情報を埋め込み)



【図 1 0】

第7実施例の第1、第2パーシャルフィルセルのLI値説明図表(その1)

到着ショー トバケットの 長さ(byte)	到着セルLI (=長さ-4)	第1セル目 の有意 データ長	第1セル目 LI(バイナリ 表示)	第2セル目 の有意 データ長	第2セル目 LI(バイナリ 表示)
4 (使用禁止)	0	-	- (使用禁止)	-	-
5	1	5	000001	-	-
6	2	6	000010	-	-
7	3	7	000011	-	-
8	4	8	000100	-	-
9	5	9	000101	-	-
10	6	10	000110	-	-
11	7	11	000111	-	-
12	8	12	001000	-	-
13	9	13	001001	-	-
14	10	14	001010	-	-
15	11	15	001011	-	-
16	12	16	001100	-	-
17	13	17	001101	-	-
18	14	18	001110	-	-
19	15	19	001111	-	-
20	16	20	010000	-	-
21	17	21	010001	-	-
22	18	22	010010	-	-
23	19	23	010011	-	-
24	20	24	010100	-	-
25	21	25	010101	-	-
26	22	26	010110	-	-
27	23	27	010111	-	-
28	24	28	011000	-	-
29	25	29	011001	-	-
30	26	30	011010	-	-
31	27	31	011011	-	-
32	28	32	011100	-	-
33	29	33	011101	-	-
34	30	34	011110	-	-
35	31	35	011111	-	-
36	32	36	100000	-	-
37	33	37	100001	-	-
38	34	38	100010	-	-
39	35	39	100011	-	-
40	36	40	100100	-	-

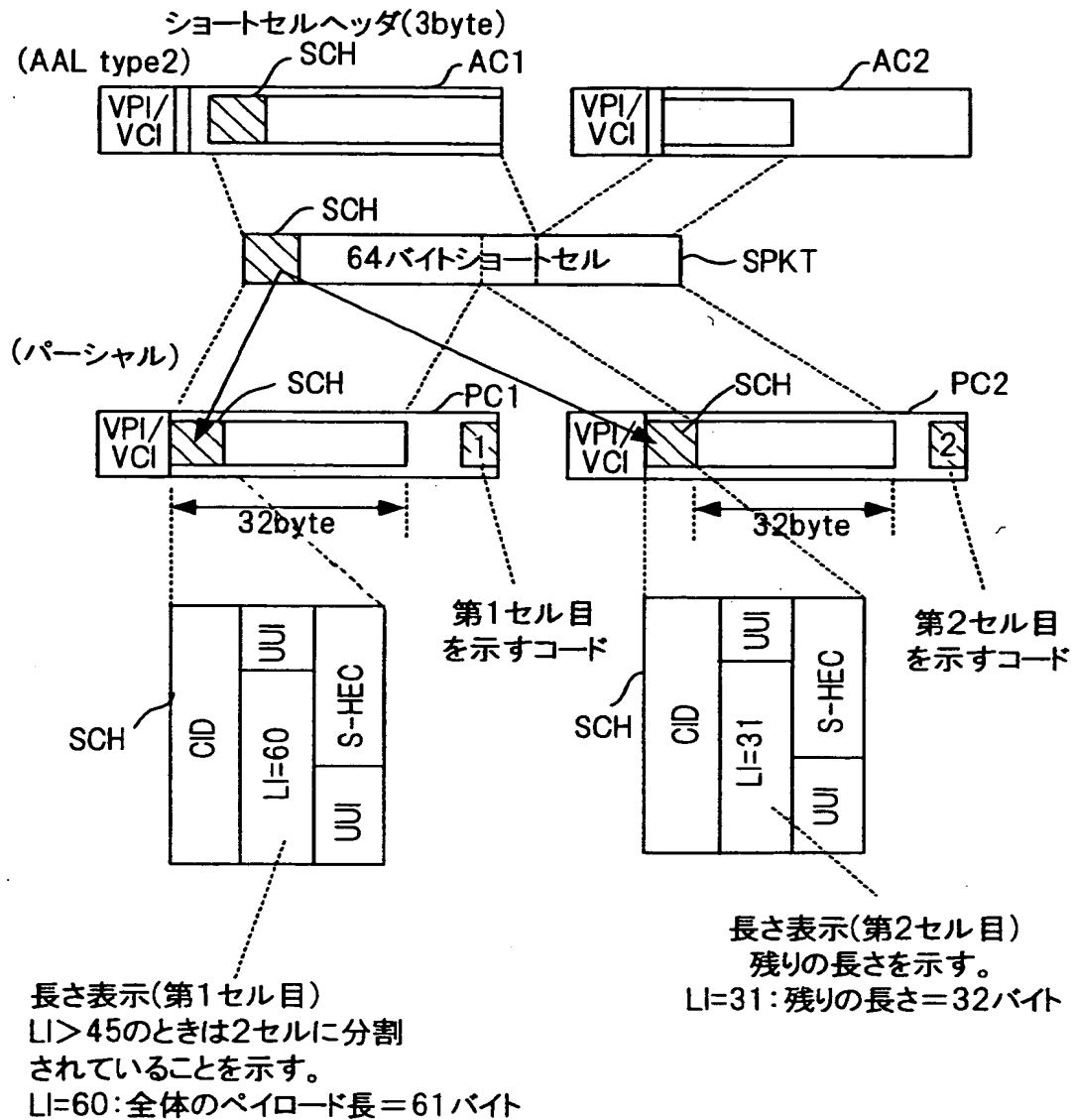
【図 1 1】

第7実施例の第1、第2パーシャルフィルセルのLI値説明図表(その2)

到着ショート トケットの 長さ(byte)	到着セルLI (=長さ-4)	第1セル目 の有意 データ長	第1セル目 LI(バイナリ 表示)	第2セル目 の有意 データ長	第2セル目 LI(バイナリ 表示)
41	37	41	100101	-	-
42	38	42	100110	-	-
43	39	43	100111	-	-
44	40	44	101000	-	-
45	41	45	101001	-	-
46	42	46	101010	-	-
47	43	47	101011	-	-
48	44	48	101100	-	-
49	45	48	000000	1	101101
50	46	48	000000	2	101110
51	47	48	000000	3	101111
52	48	48	000000	4	110000
53	49	48	000000	5	110001
54	50	48	000000	6	110010
55	51	48	000000	7	110011
56	52	48	000000	8	110100
57	53	48	000000	9	110101
58	54	48	000000	10	110110
59	55	48	000000	11	110111
60	56	48	000000	12	111000
61	57	48	000000	13	111001
62	58	48	000000	14	111010
63	59	48	000000	15	111011
64	60	88	000000	16	111100
65	61	48	000000	17	111101
66	62	48	000000	18	111110
67	63	48	000000	19	111111

【図 1 2】

第8のパーシャルフィルセルの例
(パーシャルフィルセル2セルともにショートセルヘッダを
挿入し、その両方に長さ情報を埋め込み)



【図 1 3】

第8実施例の第1、第2パーシャルフィルセルのLI値説明図表(その1)

到着ショート トパケットの 長	到着セルの LI	第1セル目 有意データ 長	第1セル目 LI	第2セル目 有意データ 長	第2セル目 LI
4	0	4	0	-	-
5	1	5	1	-	-
6	2	6	2	-	-
7	3	7	3	-	-
8	4	8	4	-	-
9	5	9	5	-	-
10	6	10	6	-	-
11	7	11	7	-	-
12	8	12	8	-	-
13	9	13	9	-	-
14	10	14	10	-	-
15	11	15	11	-	-
16	12	16	12	-	-
17	13	17	13	-	-
18	14	18	14	-	-
19	15	19	15	-	-
20	16	20	16	-	-
21	17	21	17	-	-
22	18	22	18	-	-
23	19	23	19	-	-
24	20	24	20	-	-

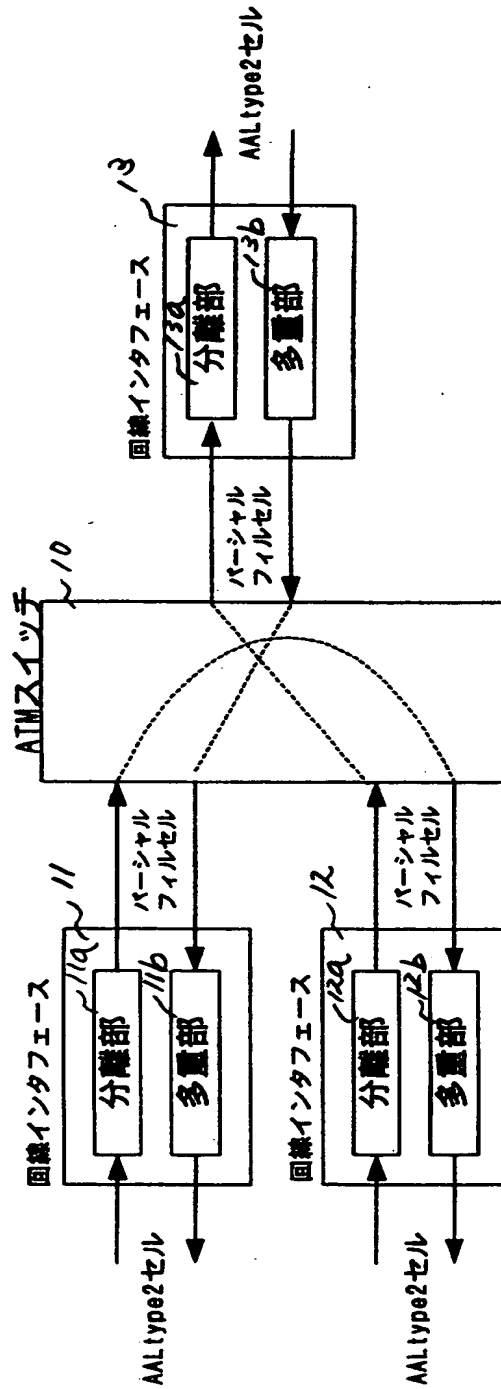
【図 1 4】

第8実施例の第1、第2パースシャルフィルセルのLI値説明図表(その2)

到着ショート トケット長	到着セルの LI	第1セル目 有意データ 長	第1セル目 LI	第2セル目 有意データ 長	第2セル目 LI
25	21	25	21	-	-
26	22	26	22	-	-
27	23	27	23	-	-
28	24	28	24	-	-
29	25	29	25	-	-
30	26	30	26	-	-
31	27	31	27	-	-
32	28	32	28	-	-
33	29	33	29	-	-
34	30	34	30	-	-
35	31	35	31	-	-
36	32	36	32	-	-
37	33	37	33	-	-
38	34	38	34	-	-
39	35	39	35	-	-
40	36	40	36	-	-
41	37	41	37	-	-
42	38	42	38	-	-
43	39	43	39	-	-
44	40	44	40	-	-
45	41	45	41	-	-
46	42	46	42	-	-
47	43	47	43	-	-
48	44	48	44	-	-
49	45	32	45	17	16
50	46	32	46	18	17
51	47	32	47	19	18
52	48	32	48	20	19
53	49	32	49	21	20
54	50	32	50	22	21
55	51	32	51	23	22
56	52	32	52	24	23
57	53	32	53	25	24
58	54	32	54	26	25
59	55	32	55	27	26
60	56	32	56	28	27
61	57	32	57	29	28
62	58	32	58	30	29
63	59	32	59	31	30
64	60	32	60	32	31
65	61	32	61	33	32
66	62	32	62	34	33
67	63	32	63	35	34

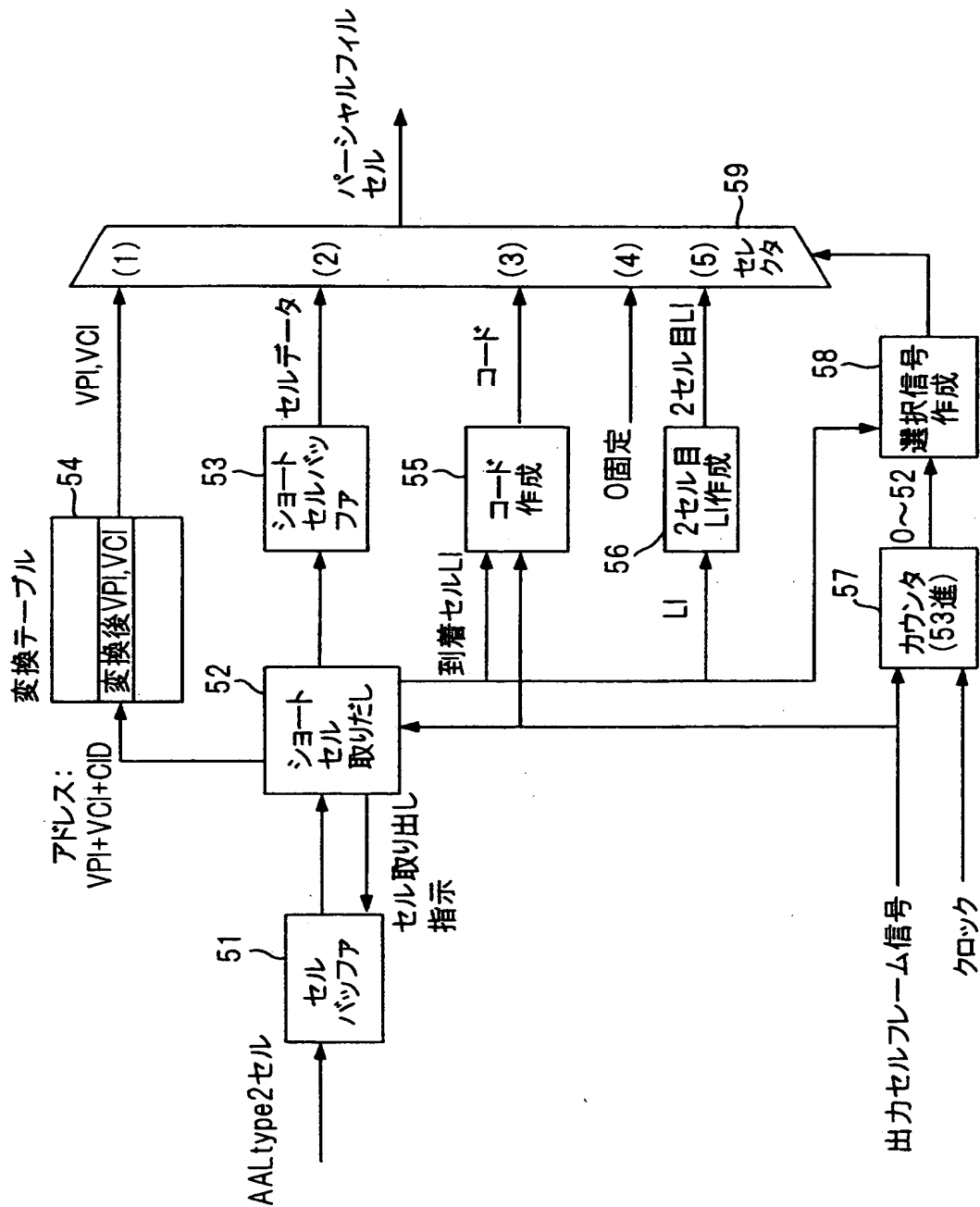
【図 1 5】

64バイト長ショートセル対応ATM交換機の構成例



【図 1 6】

第1実施例のパーシャルフィルセル化部の構成



【図 1 7】

カウント値とセレクト信号の対応

(a)
LI < 45 のとき

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (LI + 8)	(2) を選択
(LI + 9) ~ 52	(4) を選択

(b)
LI > 44 のとき
(1セル目送出時)

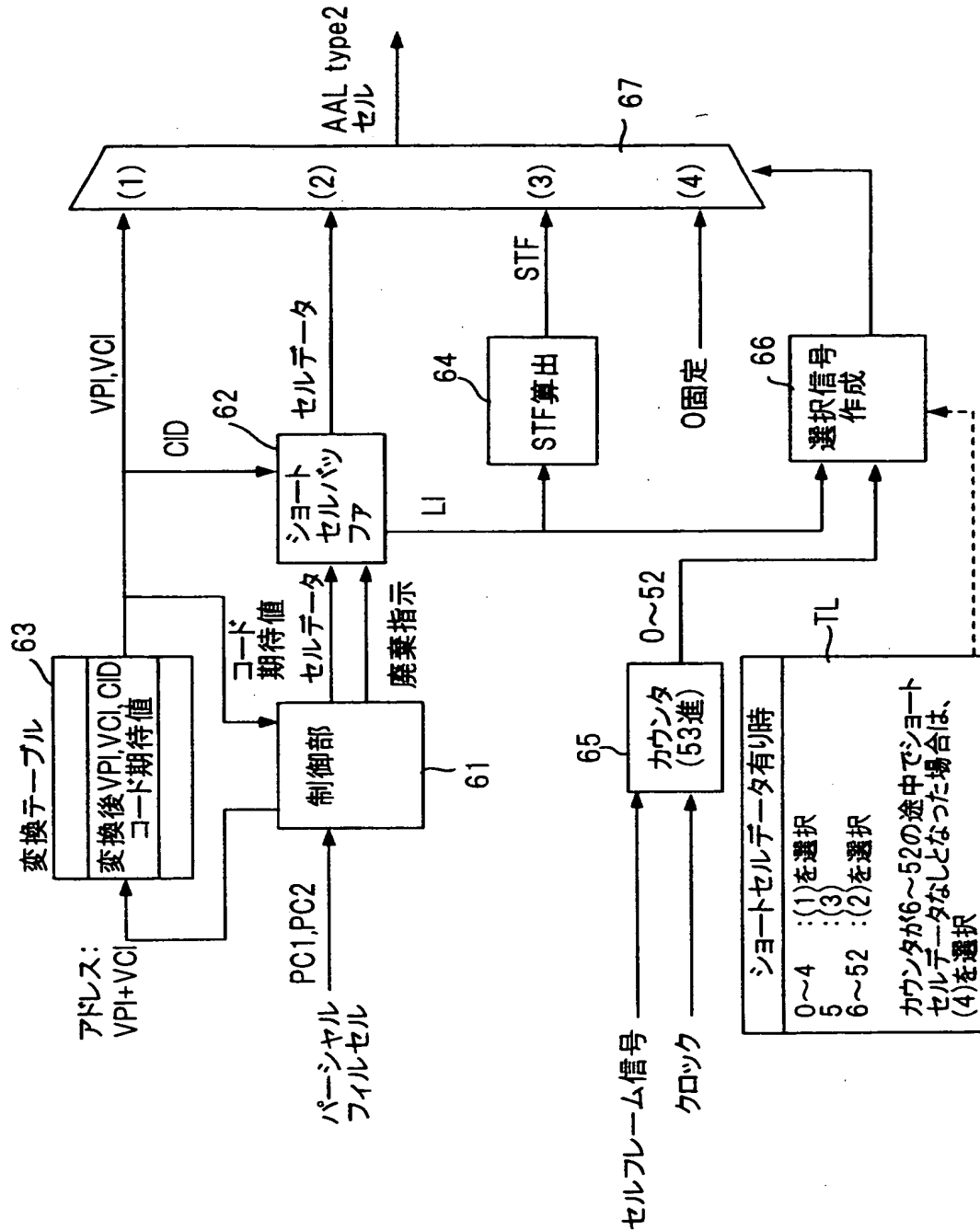
カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ 36	(2) を選択
37 ~ 51	(4) を選択
52	(3) を選択

(c)
LI > 44 のとき
(2セル目送出時)

カウント値	セレクト信号
0 ~ 4	(1) を選択
5	(4) を選択
6	(5) を選択
7	(4) を選択
8 ~ (LI - 21)	(2) を選択
(LI - 21) + 1 ~ 51	(4) を選択
52	(3) を選択

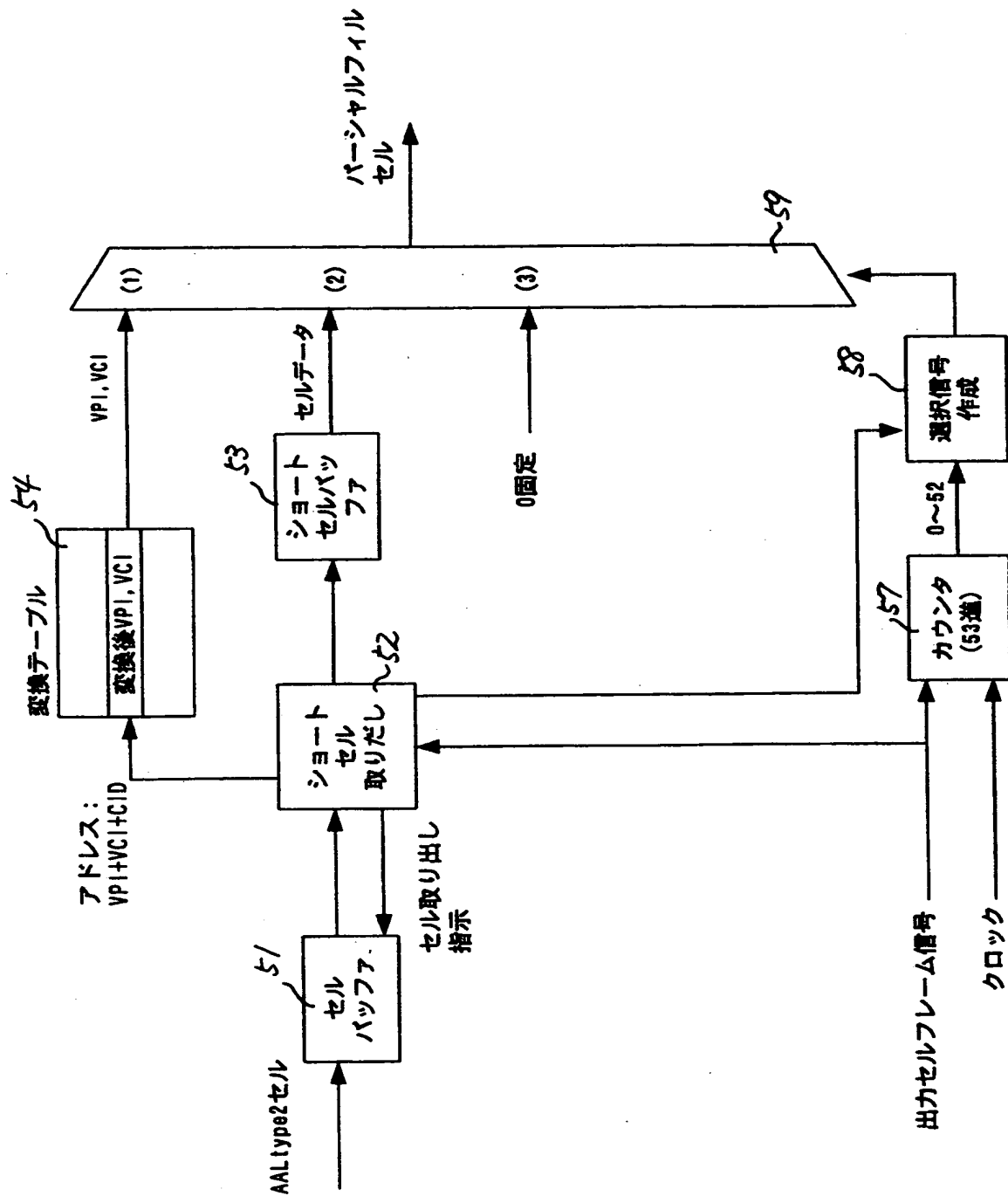
【図 1 8】

第1実施例のAAL type2セル化部の構成



【図 1 9】

第2実施例のパーシャルフィルセル化部の構成例



【図 2 0】

カウント値とセレクト信号の対応

(a)
LI < 45 のとき

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (LI + 8)	(2) を選択
(LI + 9) ~ 52	(3) を選択

(b)
LI > 44 のとき
(1セル目送出時)

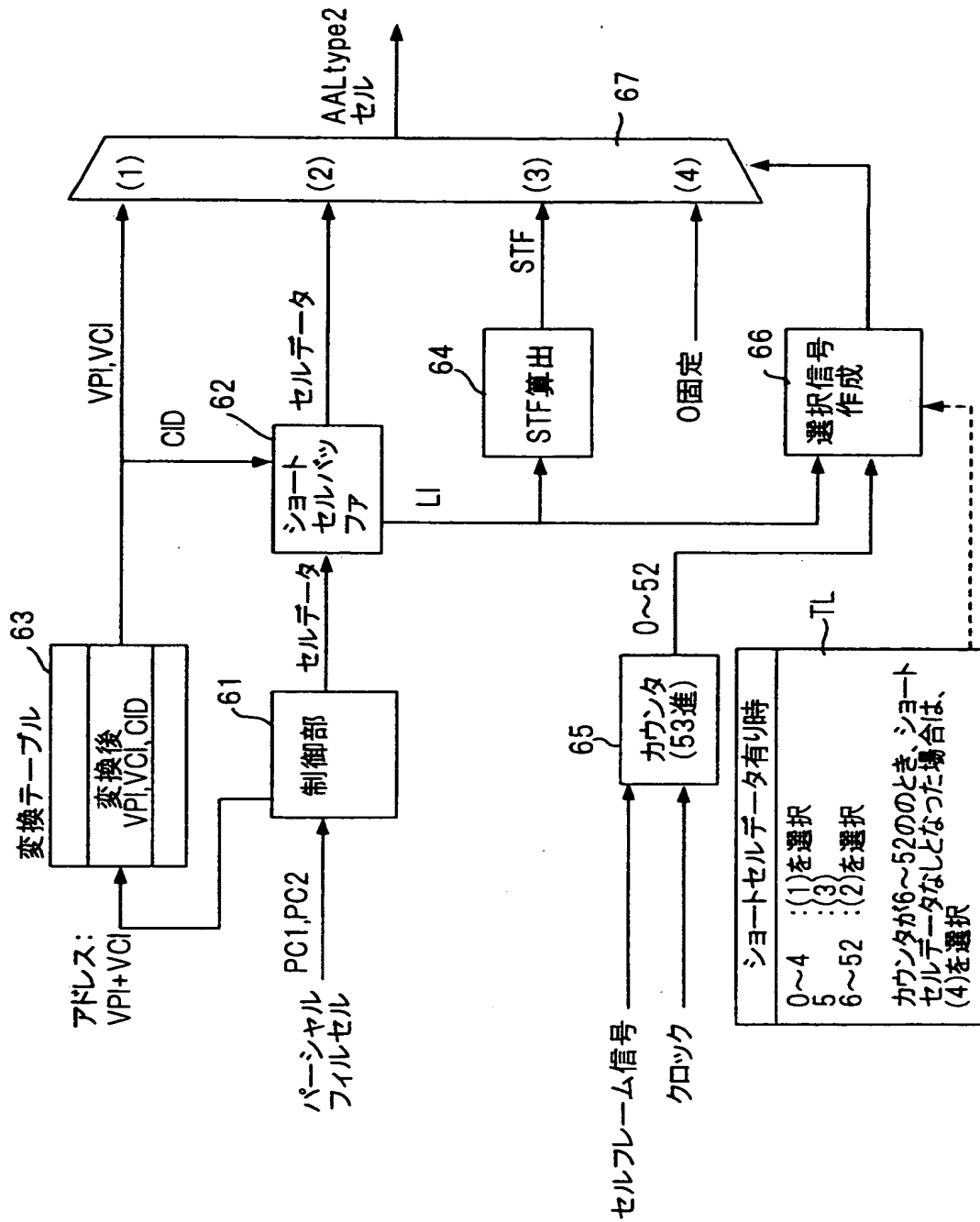
カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ 52	(2) を選択

(c)
LI > 44 のとき
(2セル目送出時)

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (LI - 40)	(2) を選択
(LI - 40) + 1 ~ 51	(3) を選択

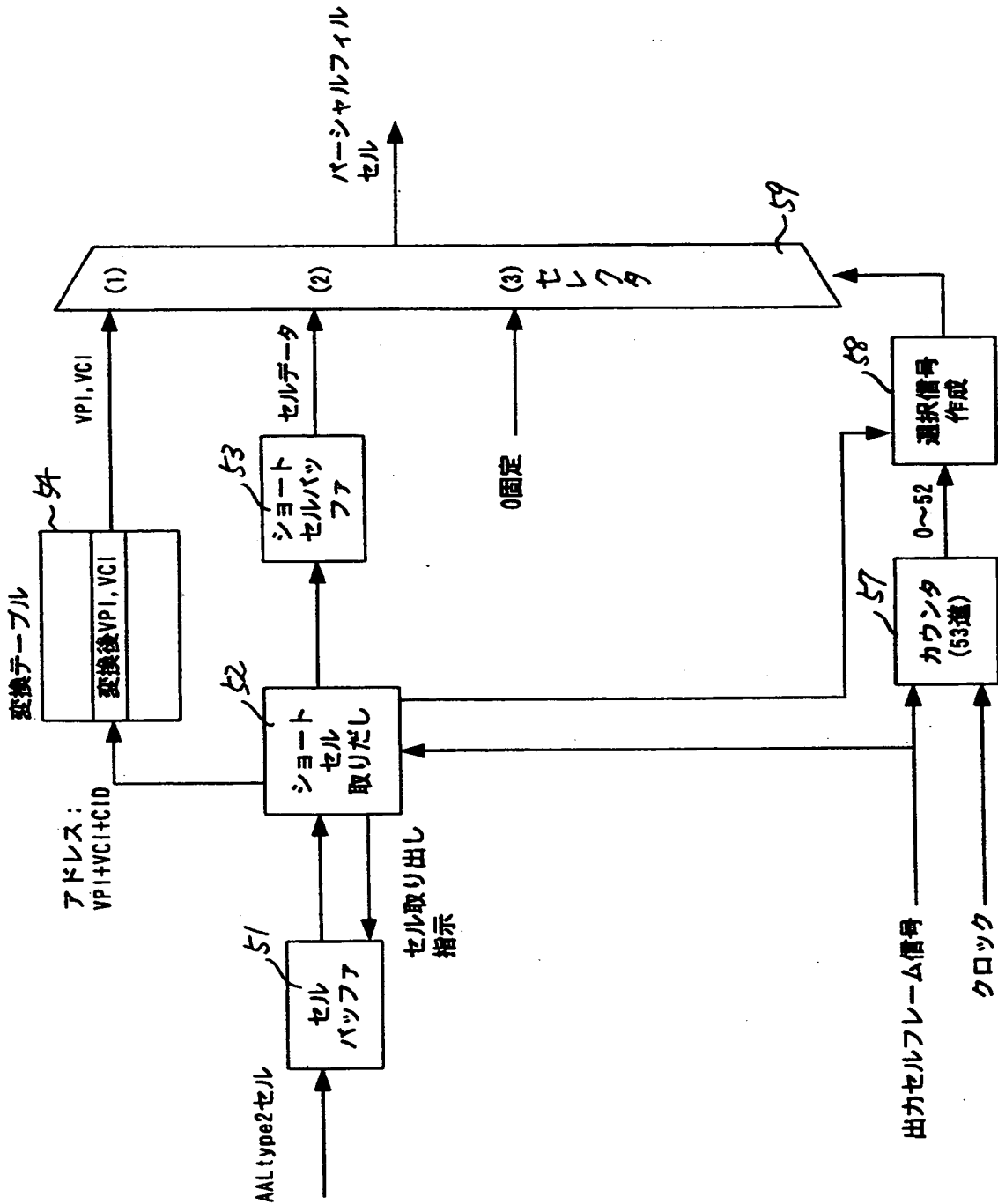
【図 2 1】

第2実施例のAALtype2セル化部の構成例



【図 2 2】

第3実施例のパーシャルフィルセル化部の構成例



【図 2 3】

カウント値とセレクト信号の対応

(a)
LI < 45 のとき

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (LI + 8)	(2) を選択
(LI + 9) ~ 52	(3) を選択

(b)
LI > 44 のとき
(1セル目送出時)

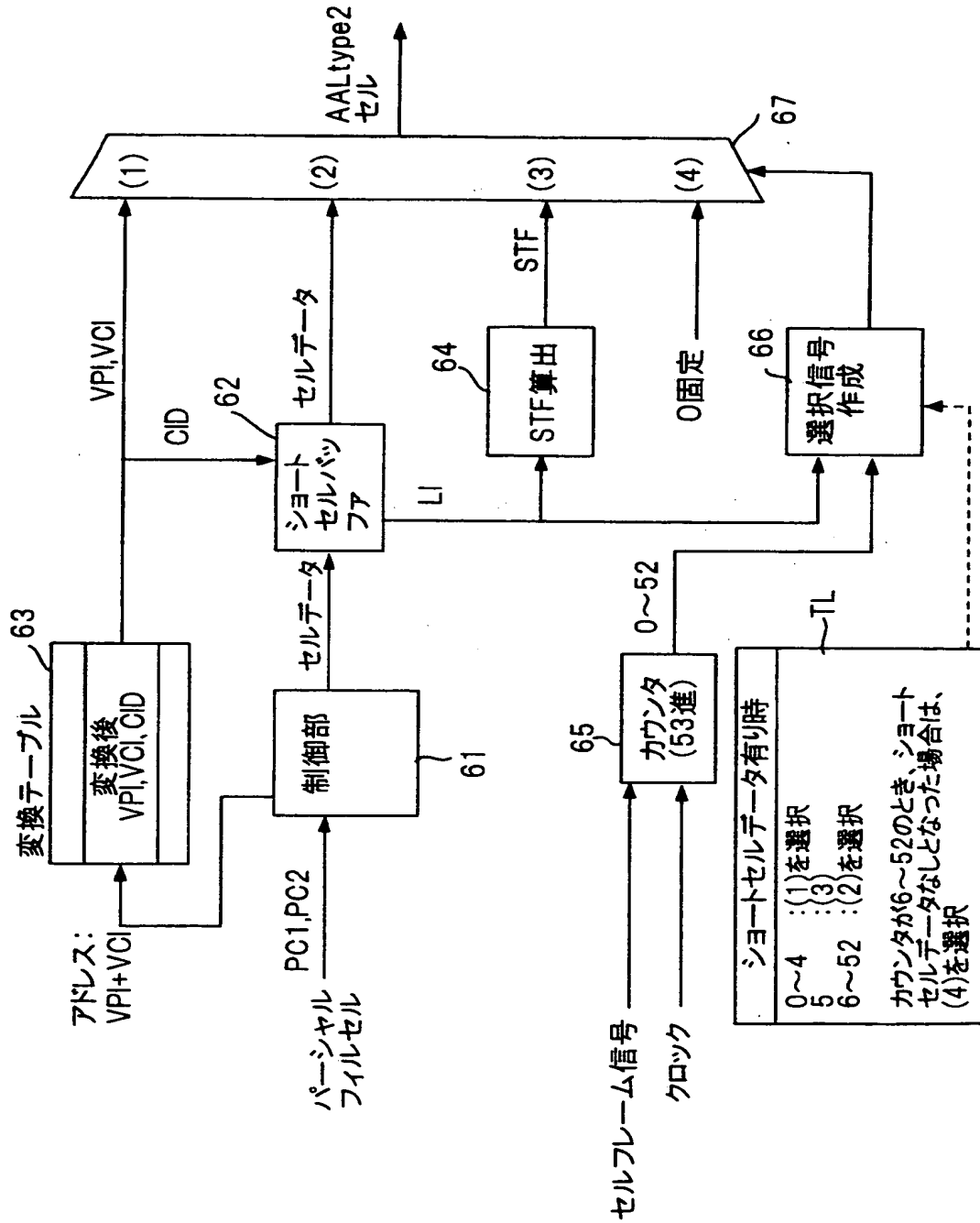
カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (B1 + 4)	(2) を選択
(B1 + 5) ~ 52	(3) を選択

(c)
LI > 44 のとき
(2セル目送出時)

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (B2 + 4)	(2) を選択
(B2 + 5) ~ 52	(3) を選択

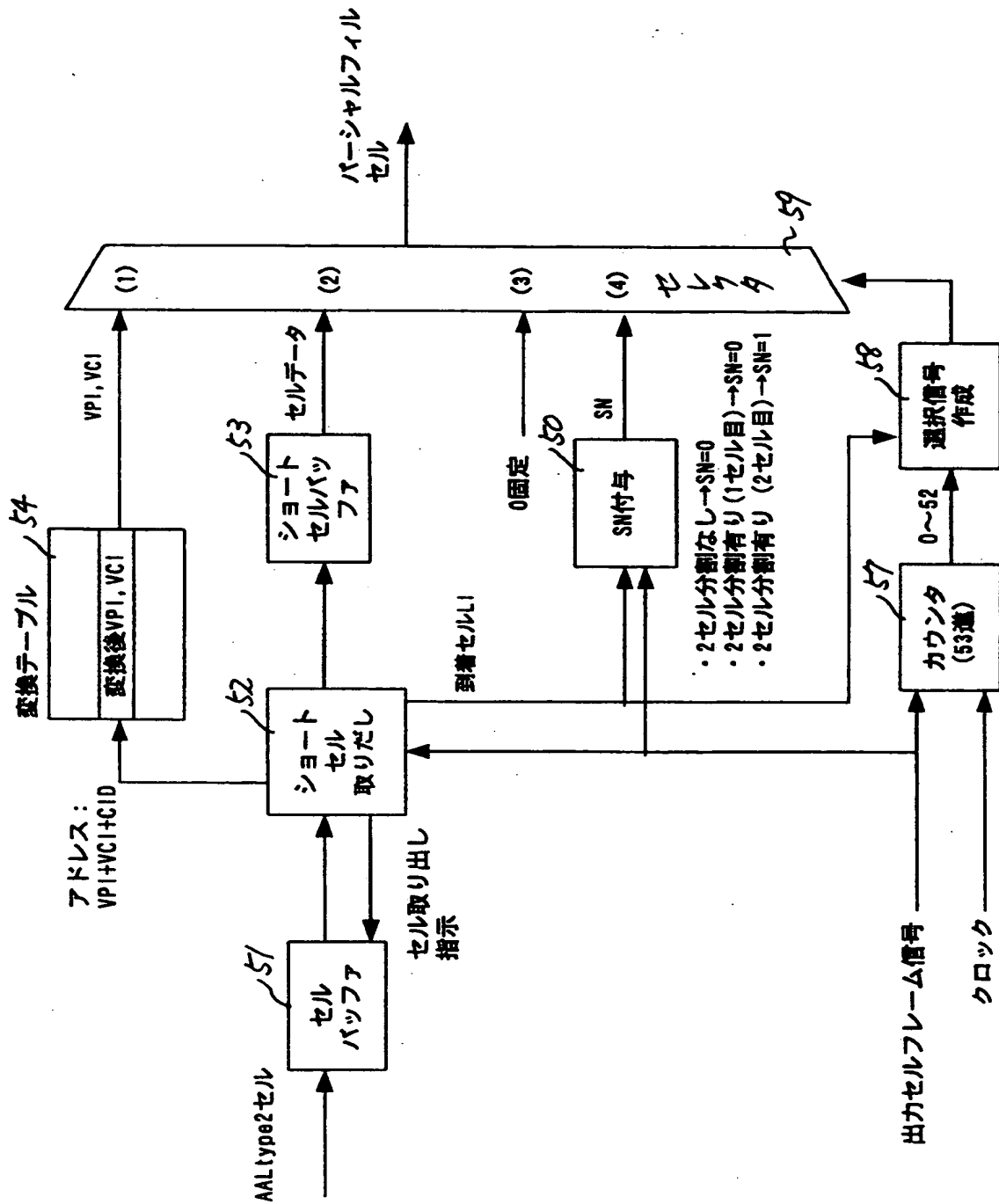
【図 2 4】

第3実施例のAALtype2セル化部の構成例



【図 25】

第4実施例のパーシャルフィルセル化部の構成例



【図 2 6】

カウント値とセレクト信号の対応

(a)
LI < 45 のとき

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (LI + 8)	(2) を選択
(LI + 9) ~ 52	(3) を選択

(b)
LI > 44 のとき
(1セル目送出時)

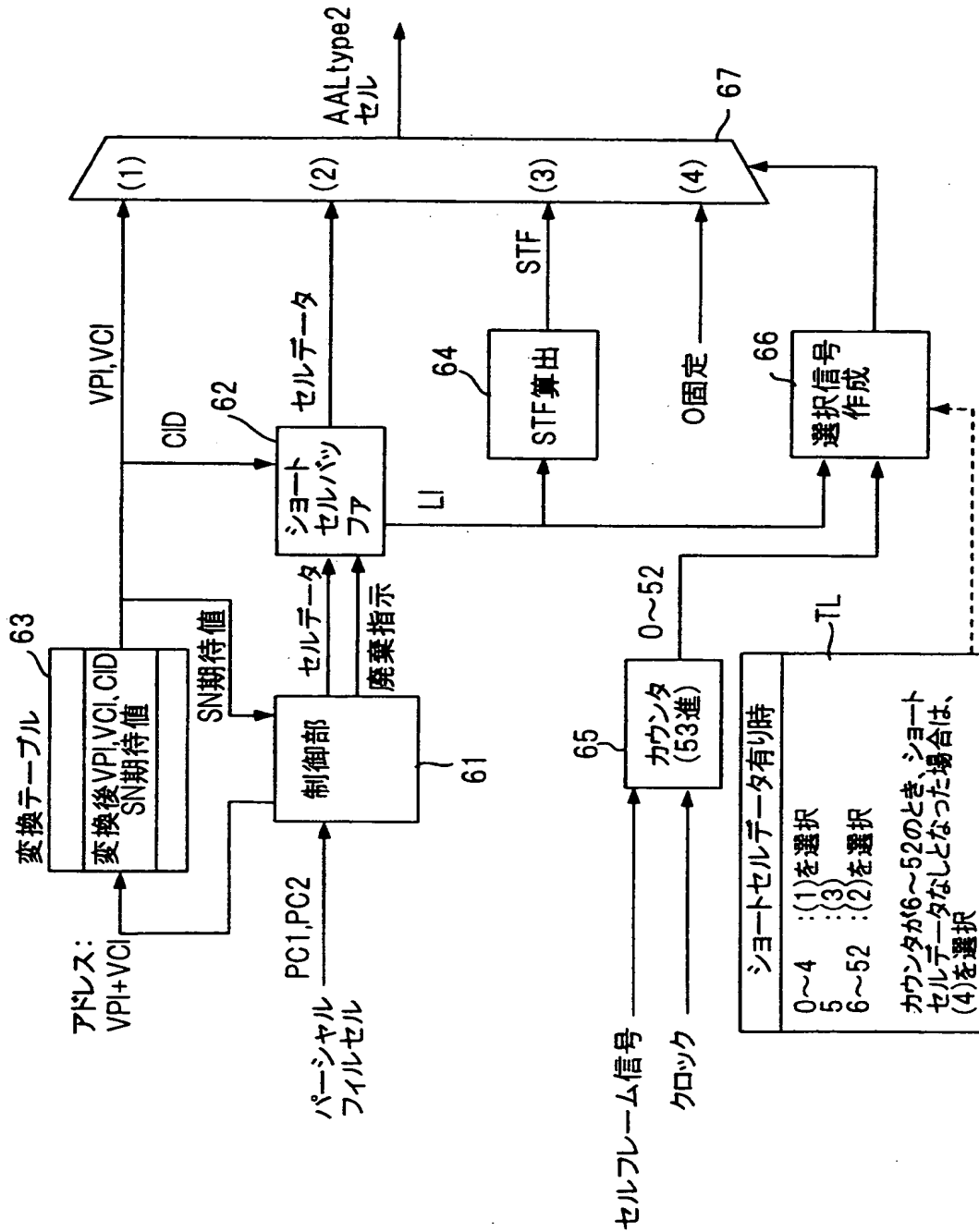
カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (B1 + 4)	(2) を選択
(B1 + 5) ~ 51	(3) を選択
52	(4) を選択

(c)
LI > 44 のとき
(2セル目送出時)

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (B2 + 4)	(2) を選択
(B2 + 5) ~ 51	(3) を選択
52	(4) を選択

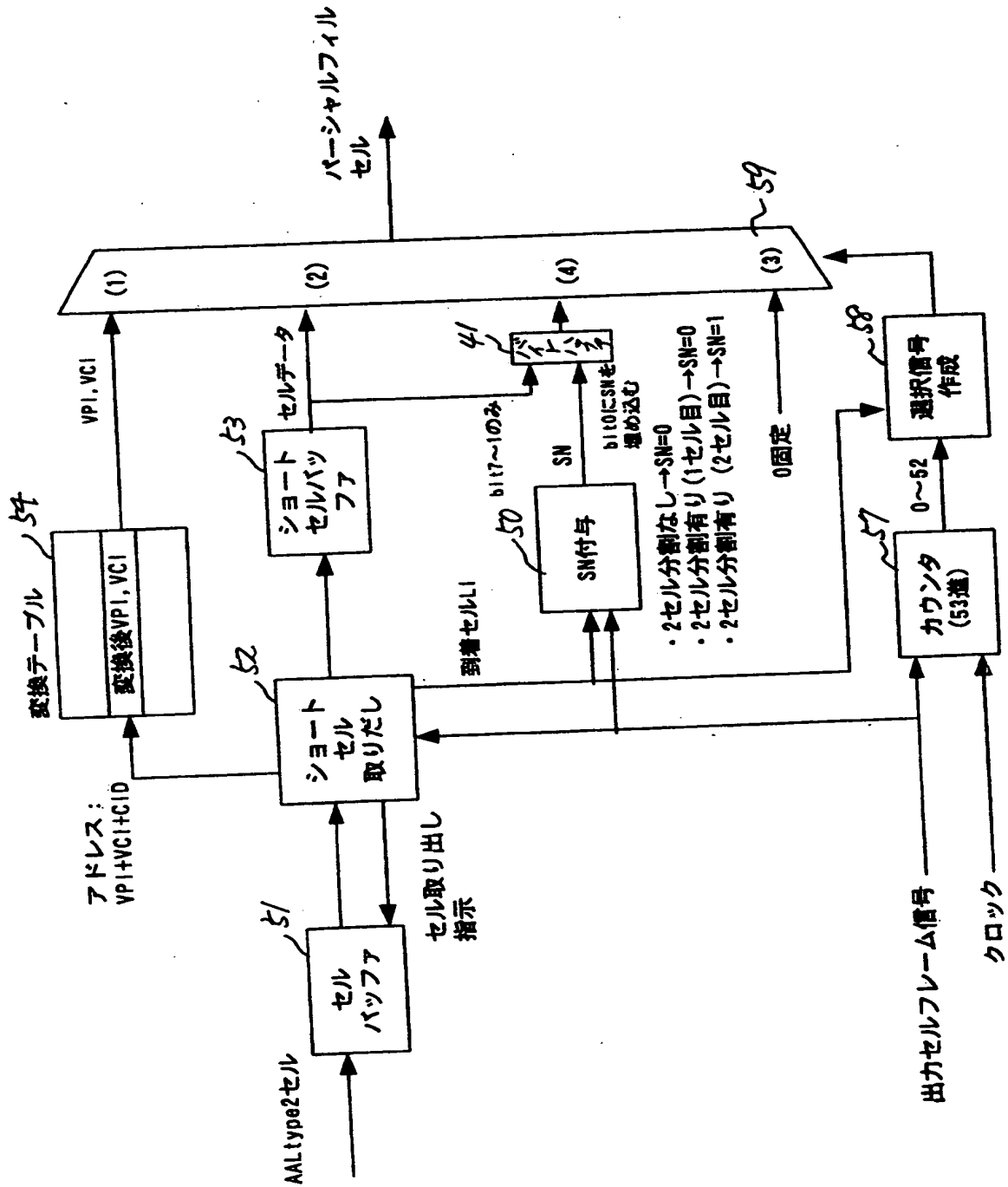
【図 2 7】

第4実施例のAALtype2セル化部の構成例



【図 2 8】

第5実施例のパーシャルフィルセル化部の構成例



【図 2 9】

カウント値とセレクト信号の対応

(a)
LI < 45 のとき

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (LI + 8)	(2) を選択
(LI + 9) ~ 52	(3) を選択

(b)
LI > 44 のとき
(1セル目送出時)

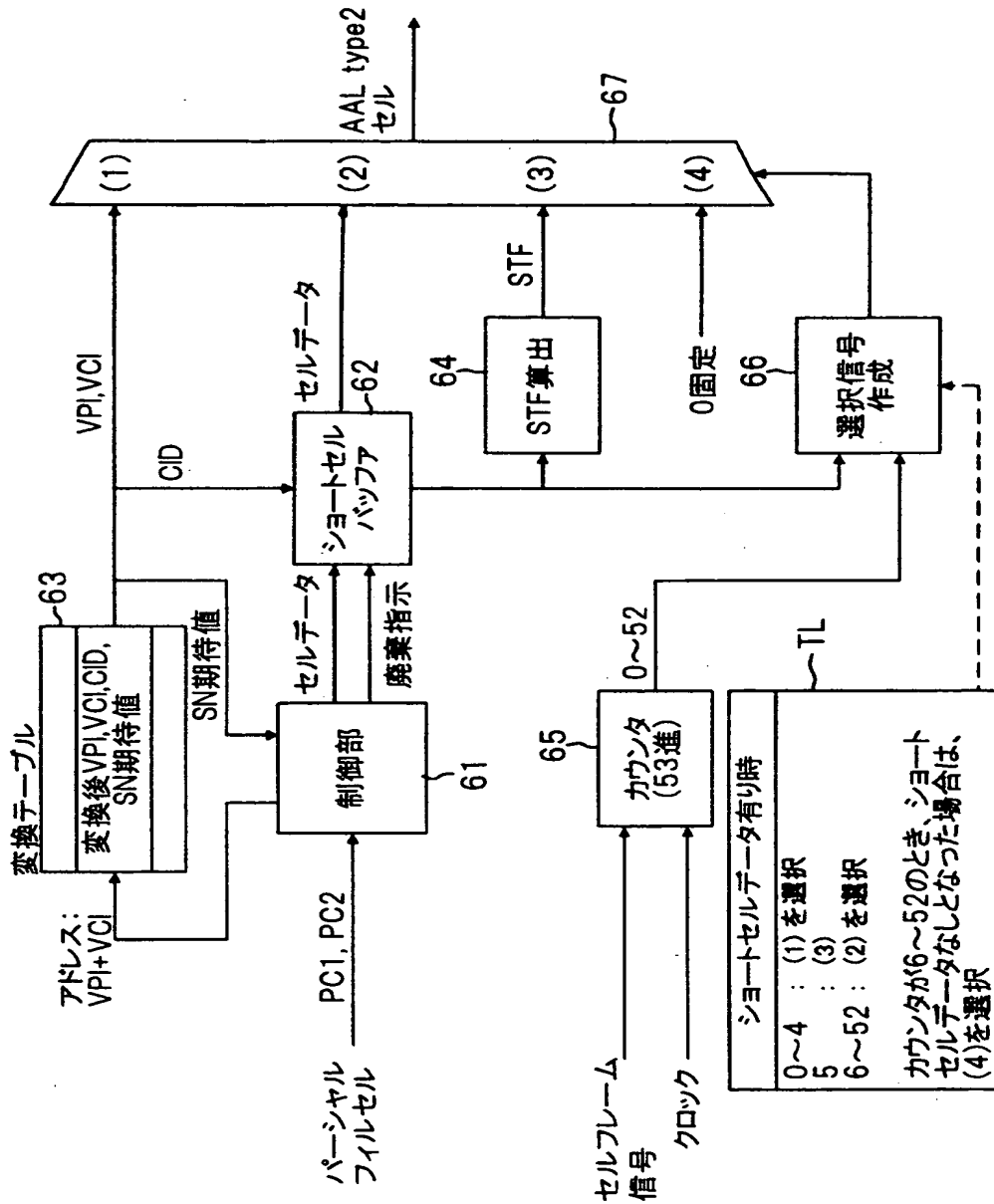
カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ 6	(2) を選択
7	(4) を選択
8 ~ (B1 + 4)	(2) を選択
(B1 + 5) ~ 52	(3) を選択

(c)
LI > 44 のとき
(2セル目送出時)

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ 6	(2) を選択
7	(4) を選択
8 ~ (B2 + 4)	(2) を選択
(B2 + 5) ~ 52	(3) を選択

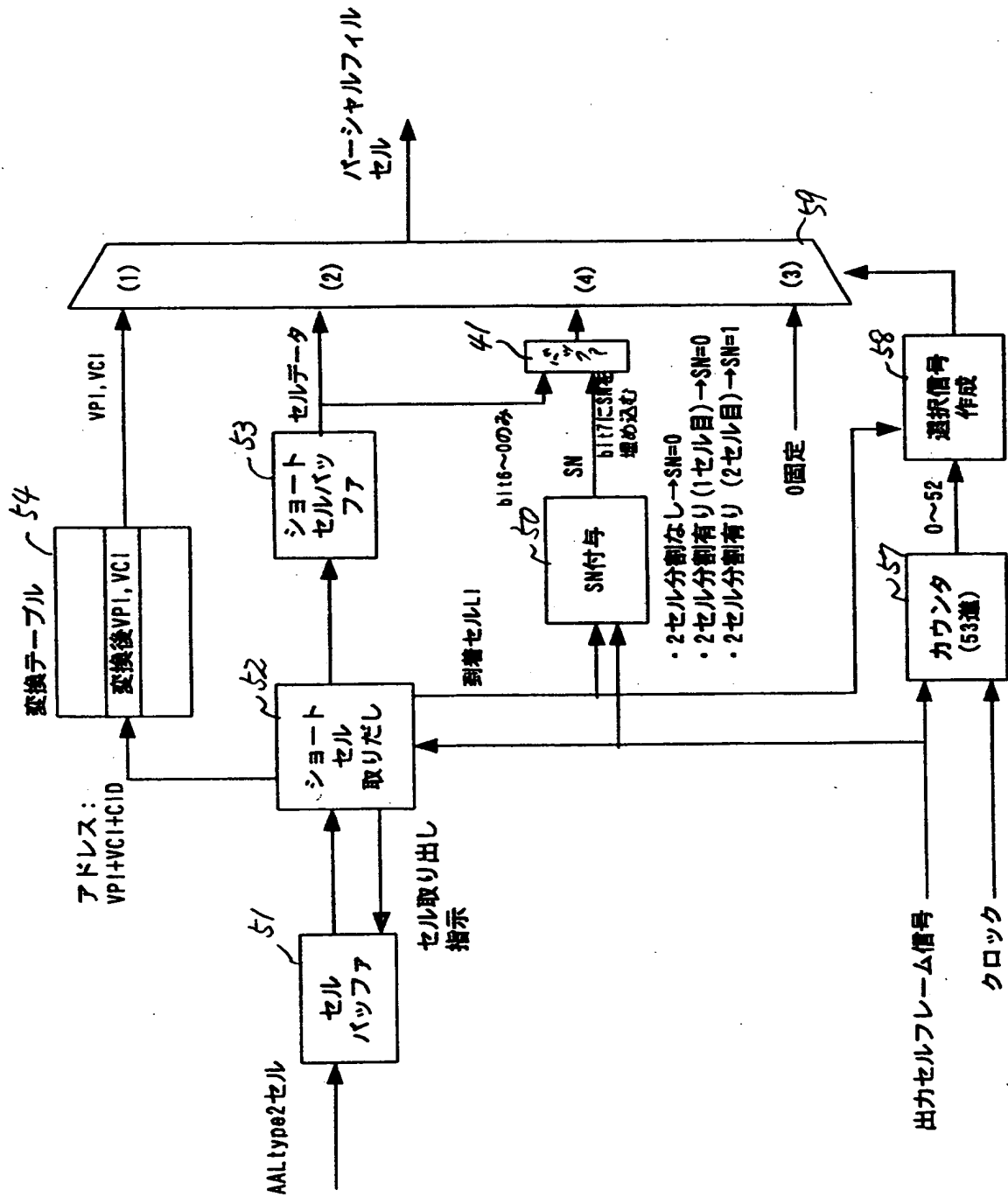
【図 3 0】

第5実施例のAAL type2セル化部の構成例



【図 3 1】

第6実施例のパーシャルフィルセル化部の構成例



【図 3 2】

カウント値とセレクト信号の対応

(a)

$L < 45$ のとき

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (L+8)	(2) を選択
(L+9) ~ 52	(3) を選択

(b)

$L > 44$ のとき

(1セル目送出時)

カウント値	セレクト信号
0	(4) を選択
1 ~ 4	(1) を選択
5 ~ (B1+4)	(2) を選択
(B1+5) ~ 52	(3) を選択

(c)

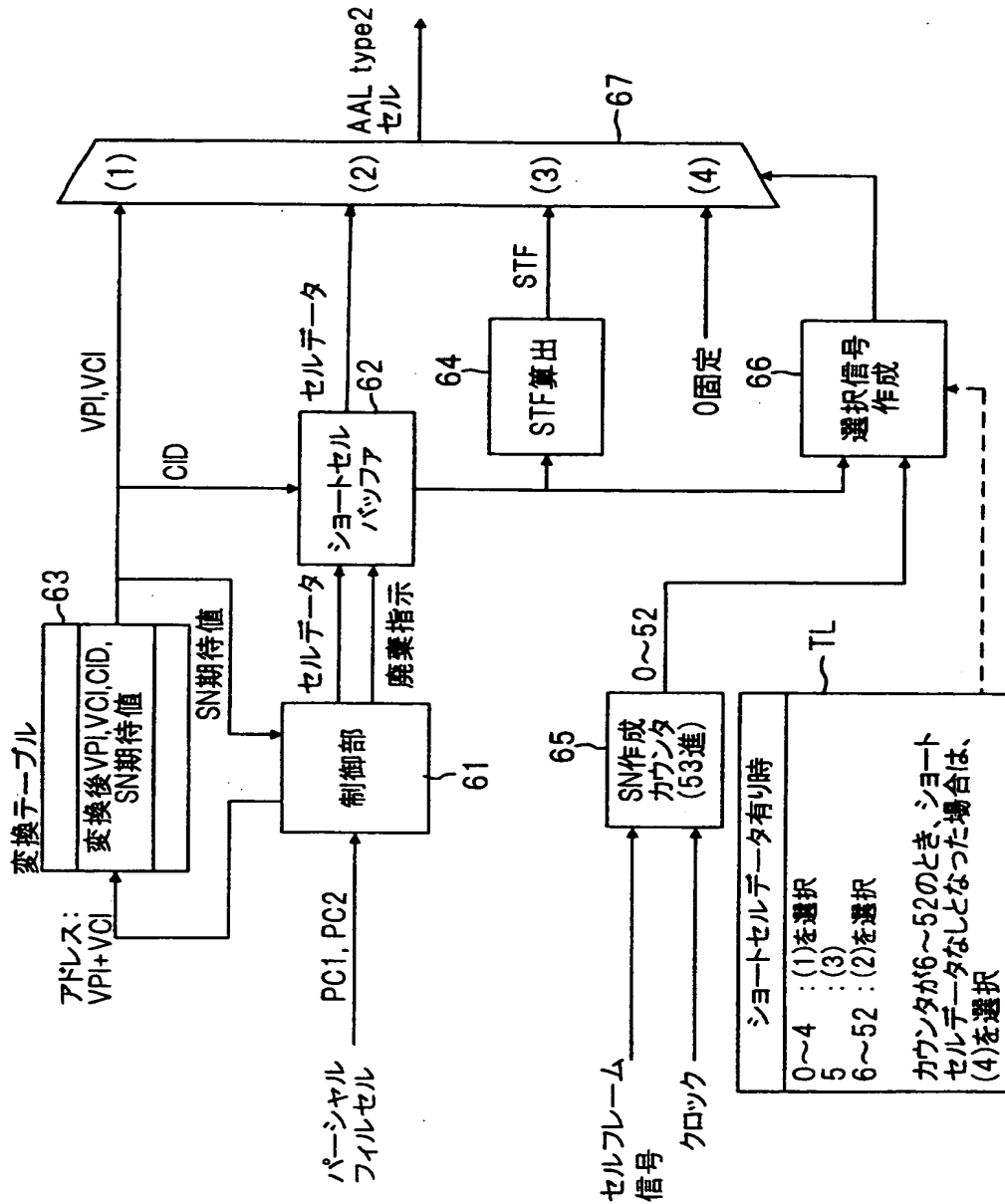
$L > 44$ のとき

(2セル目送出時)

カウント値	セレクト信号
0	(4) を選択
1 ~ 4	(1) を選択
5 ~ (B2+4)	(2) を選択
(B2+5) ~ 52	(3) を選択

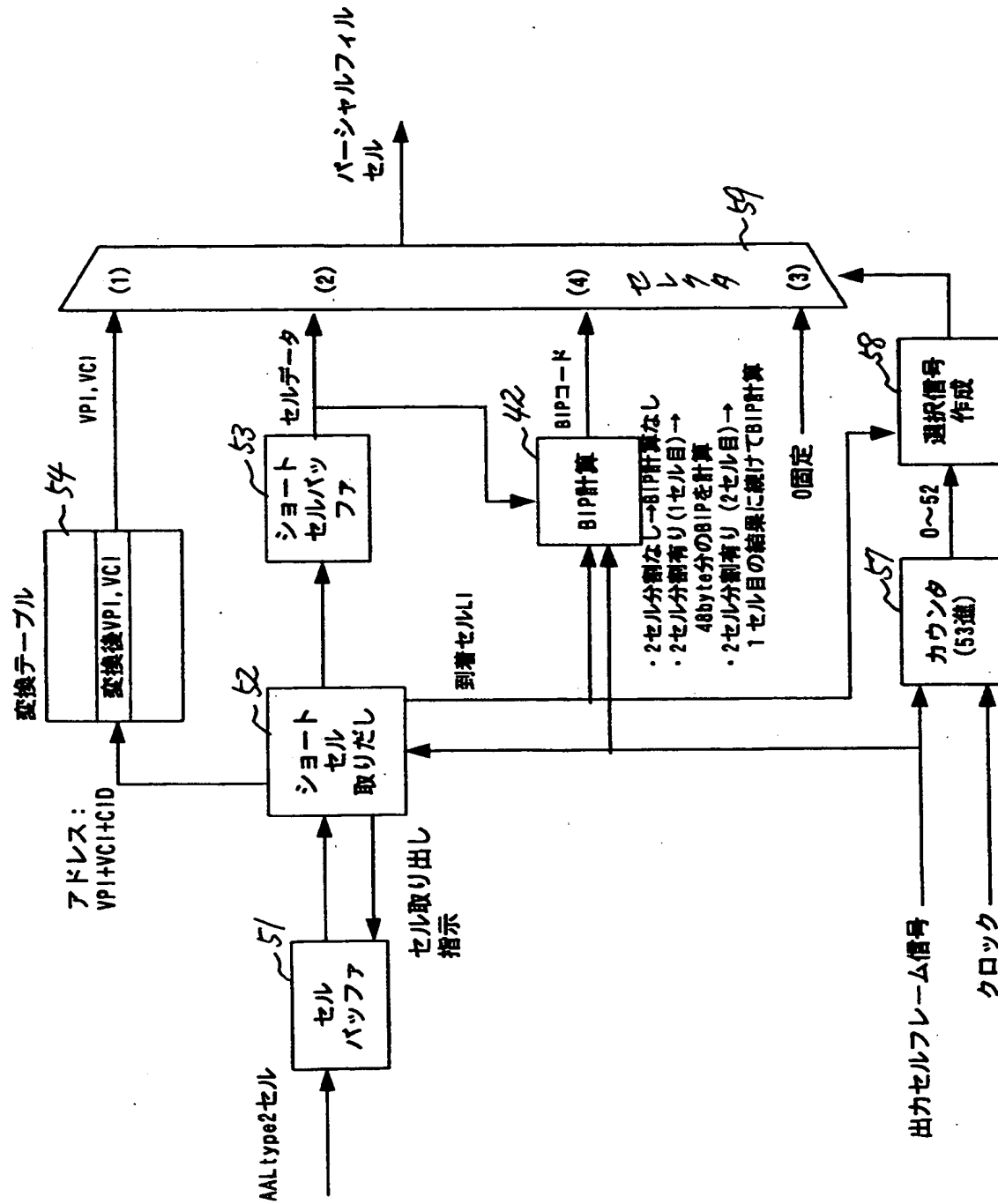
【図 33】

第6実施例のAAL type2セル化部の構成例



【図 34】

第7実施例のパーシャルフィルセル化部の構成例



【図 3 5】

カウント値とセレクト信号の対応

(a)

LI<45のとき

カウント値	セレクト信号
0~4	(1)を選択
5~(LI+8)	(2)を選択
(LI+9)~52	(3)を選択

(b)

LI>44のとき

(1セル目送出時)

カウント値	セレクト信号
0~4	(1)を選択
5~52	(2)を選択

(c)

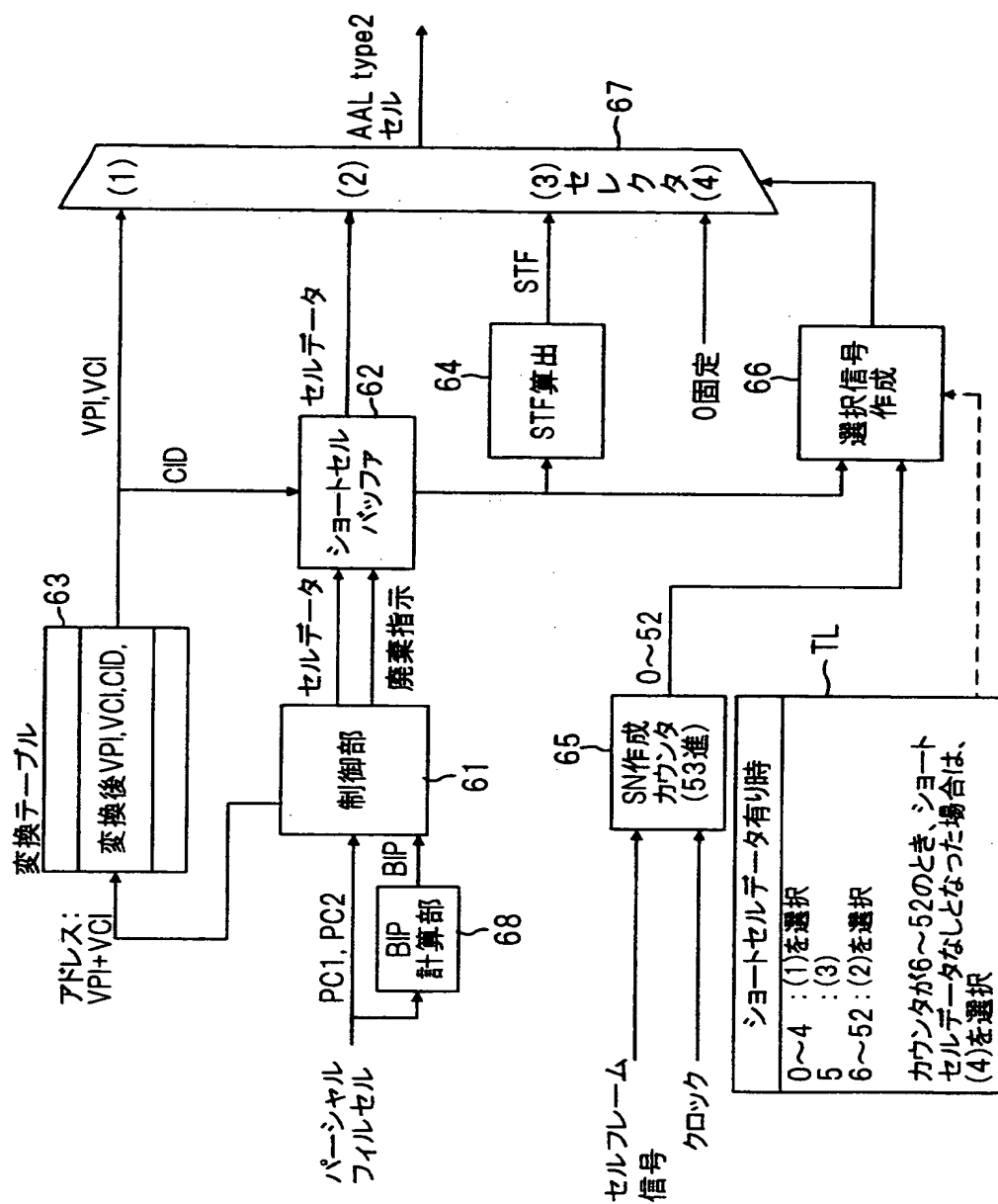
LI>44のとき

(2セル目送出時)

カウント値	セレクト信号
0~4	(1)を選択
5~(LI-40)	(2)を選択
(LI-40)+1~51	(3)を選択
52	(4)を選択

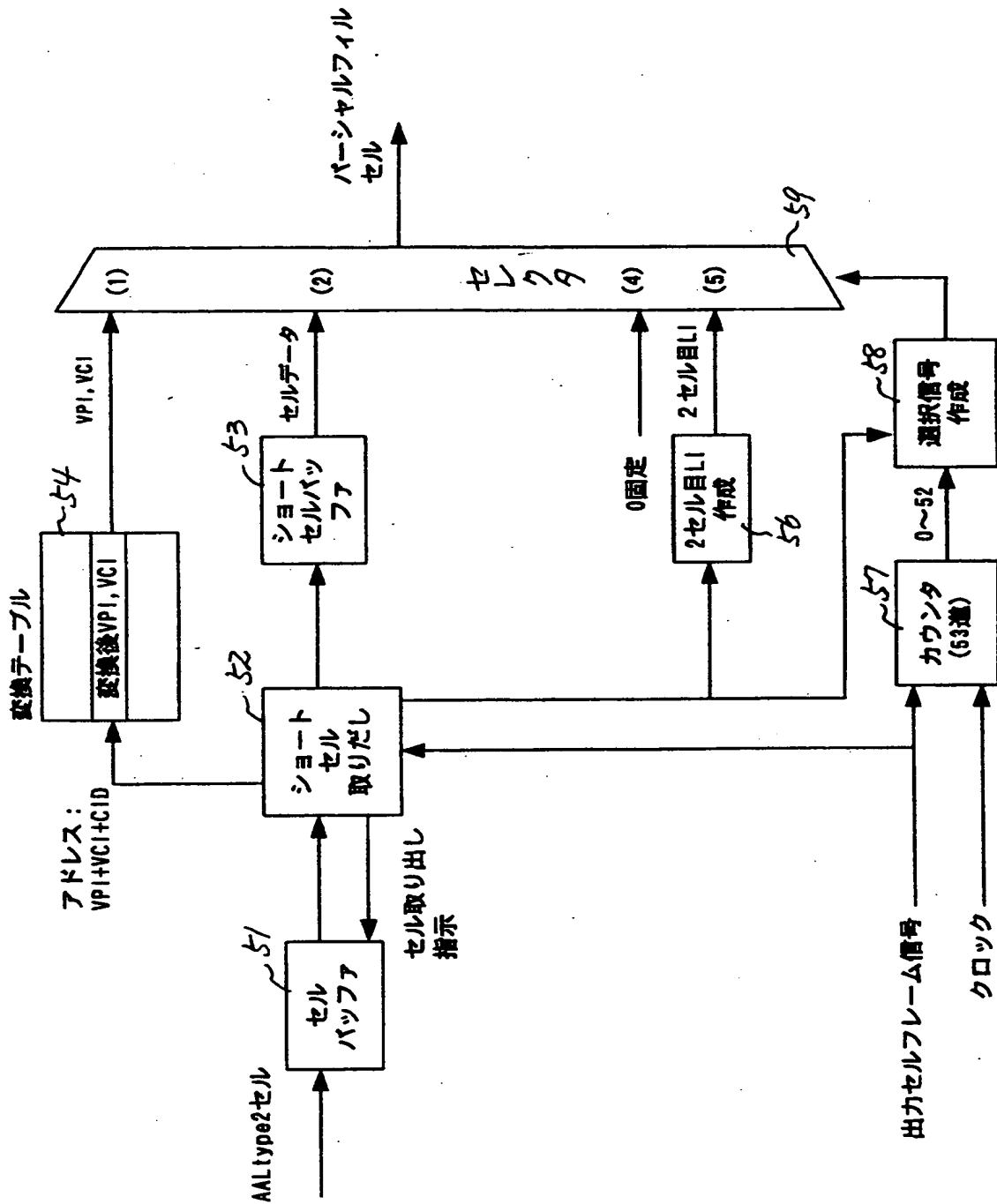
【図 3 6】

第7実施例のAAL type2セル化部の構成例



【図 37】

第8実施例のパーシャルフィルセル化部の構成例



【図 3 8】

カウント値とセレクト信号の対応

(a)
LI < 45 のとき

カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ (LI + 8)	(2) を選択
(LI + 9) ~ 52	(4) を選択

(b)
LI > 44 のとき
(1セル目送出時)

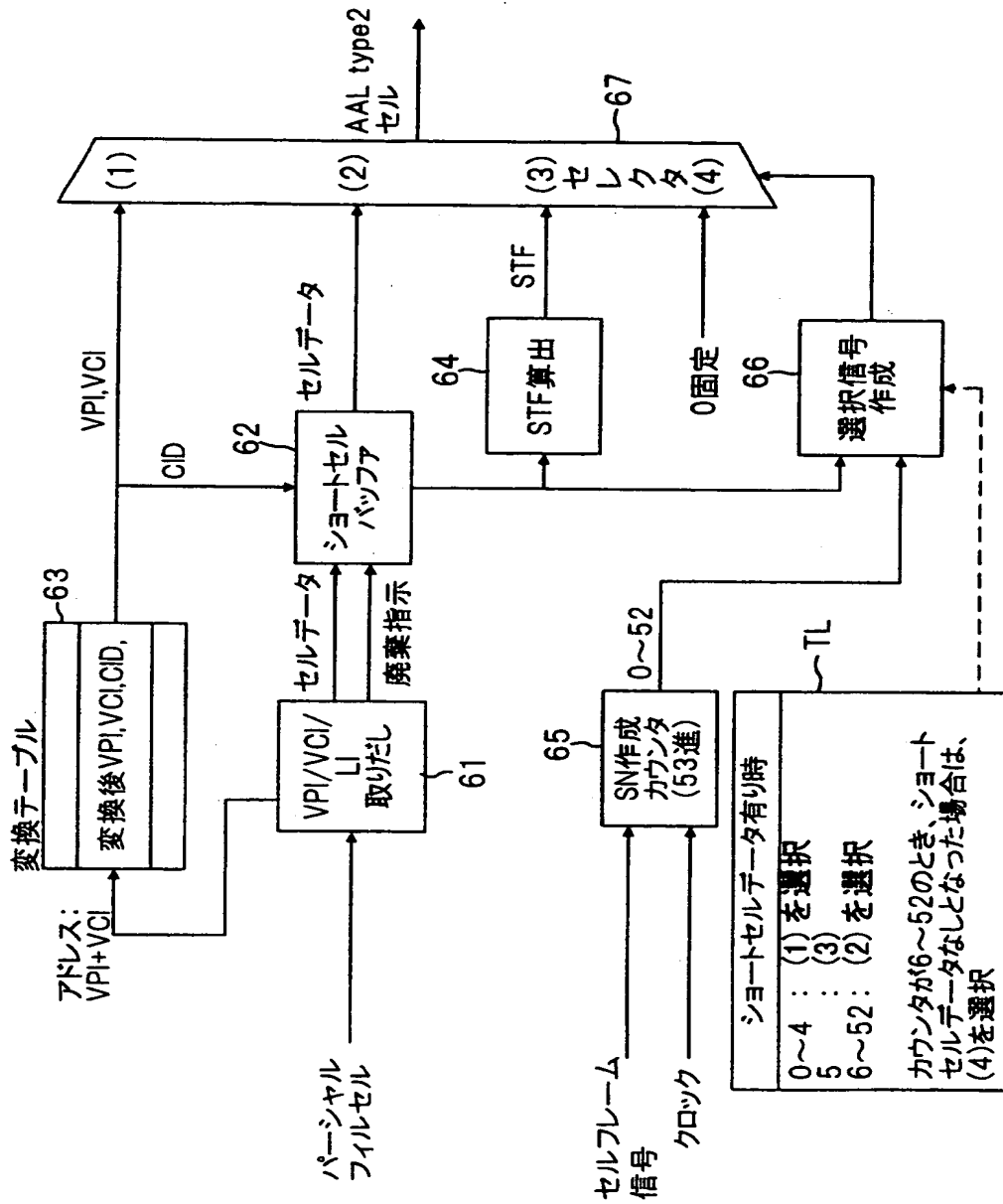
カウント値	セレクト信号
0 ~ 4	(1) を選択
5 ~ 7	(4) を選択
8 ~ 52	(2) を選択

(c)
LI > 44 のとき
(2セル目送出時)

カウント値	セレクト信号
0 ~ 4	(1) を選択
5	(4) を選択
6	(5) を選択
7	(4) を選択
8 ~ (LI - 37)	(2) を選択
(LI - 37) + 1 ~ 52	(4) を選択

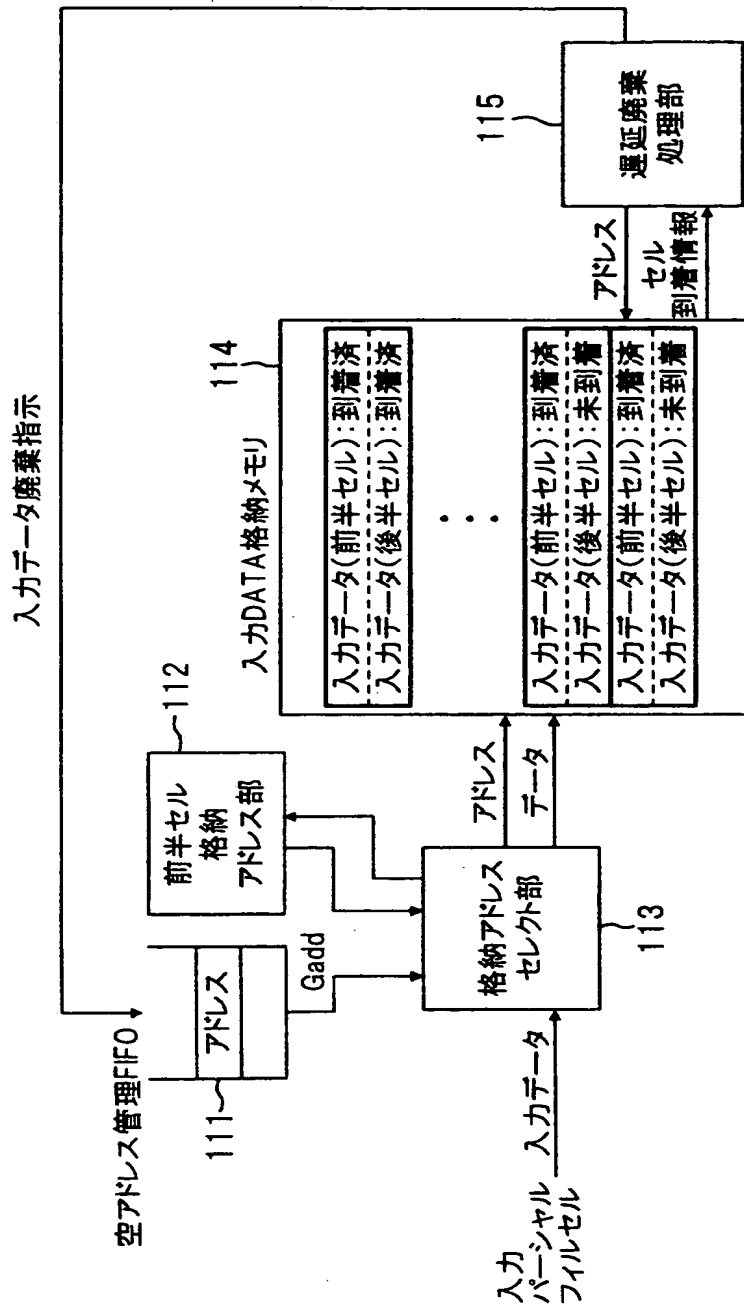
【図 3 9】

第8実施例のAAL type2セル化部の構成例



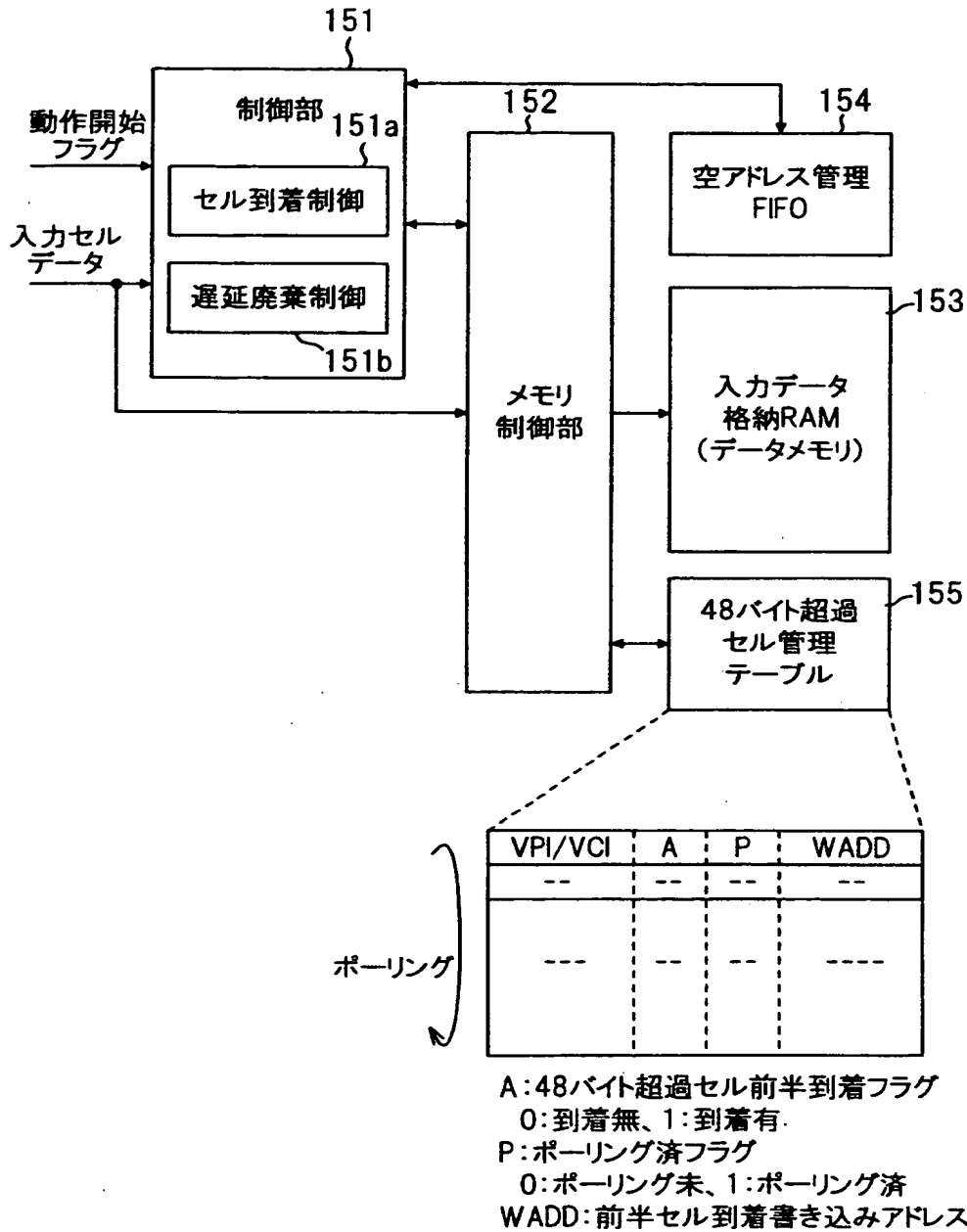
【図 4 0】

本発明のセル廃棄制御の概略説明図



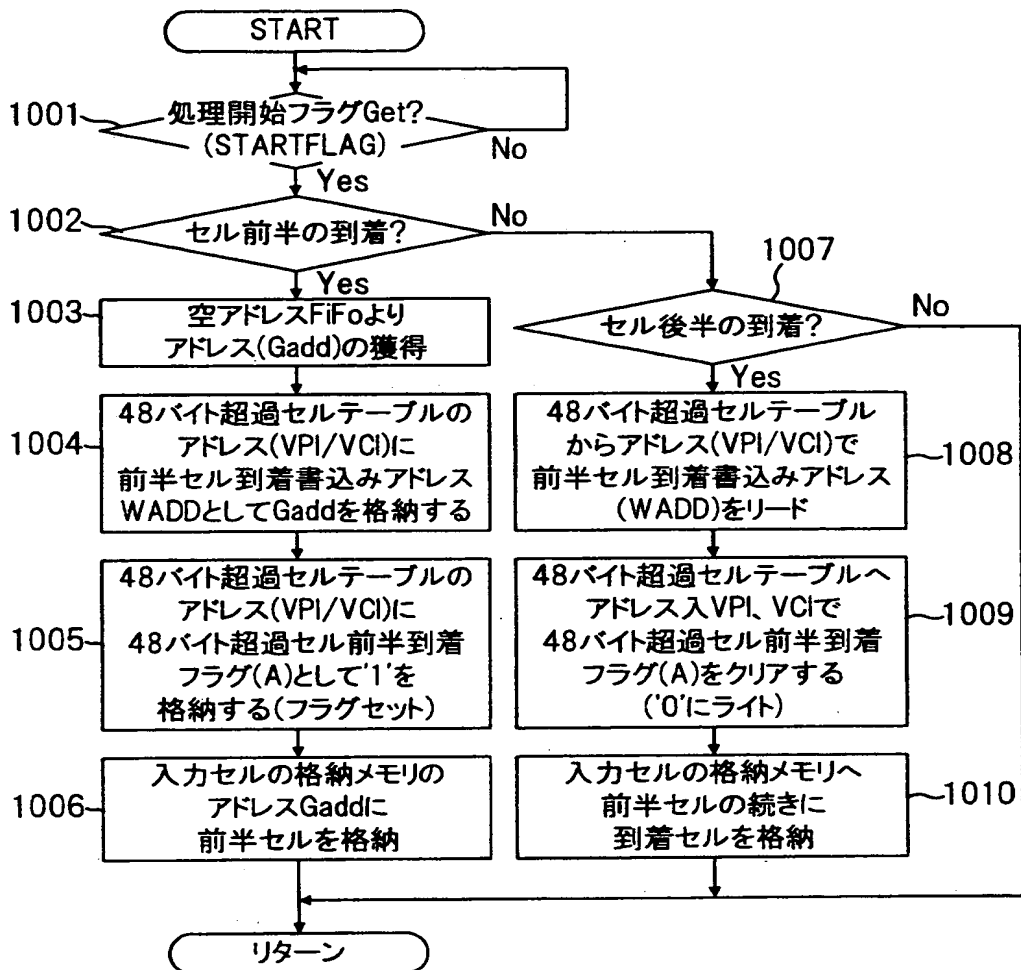
【図 4 1】

本発明のセル廃棄制御を実現する第1の構成図



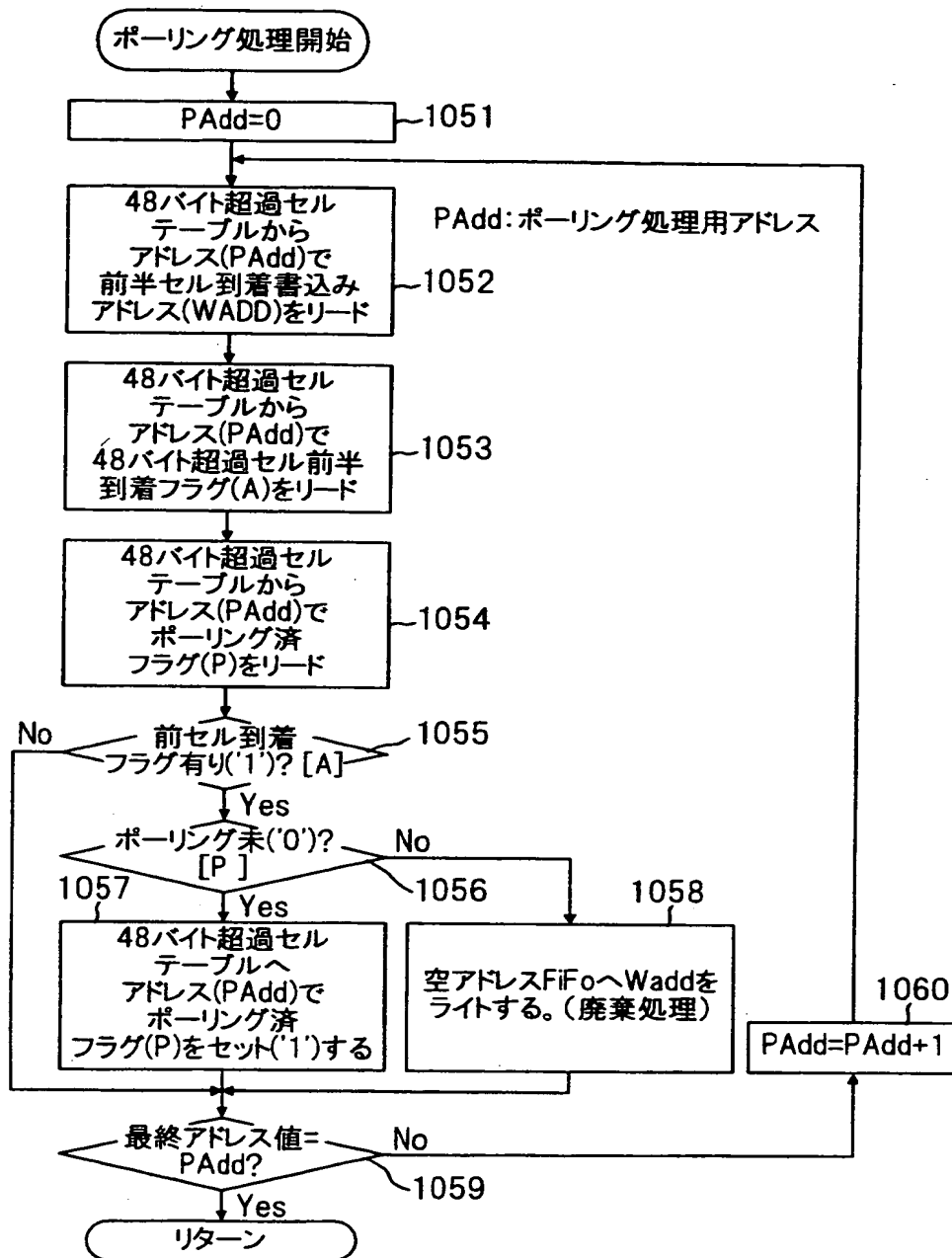
【図 4 2】

セル到着処理フロー



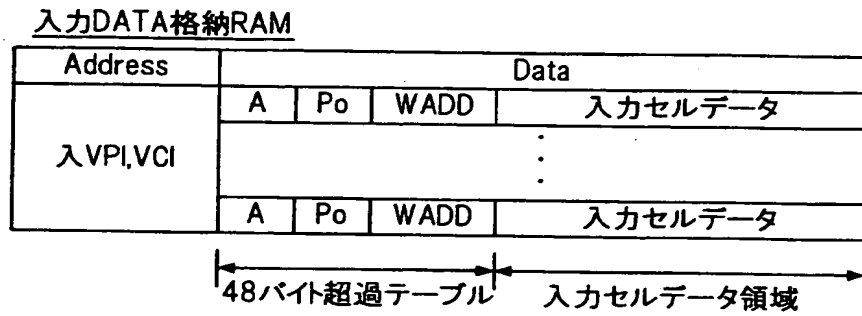
【図 4 3】

ポーリング処理フロー



【図 4 4】

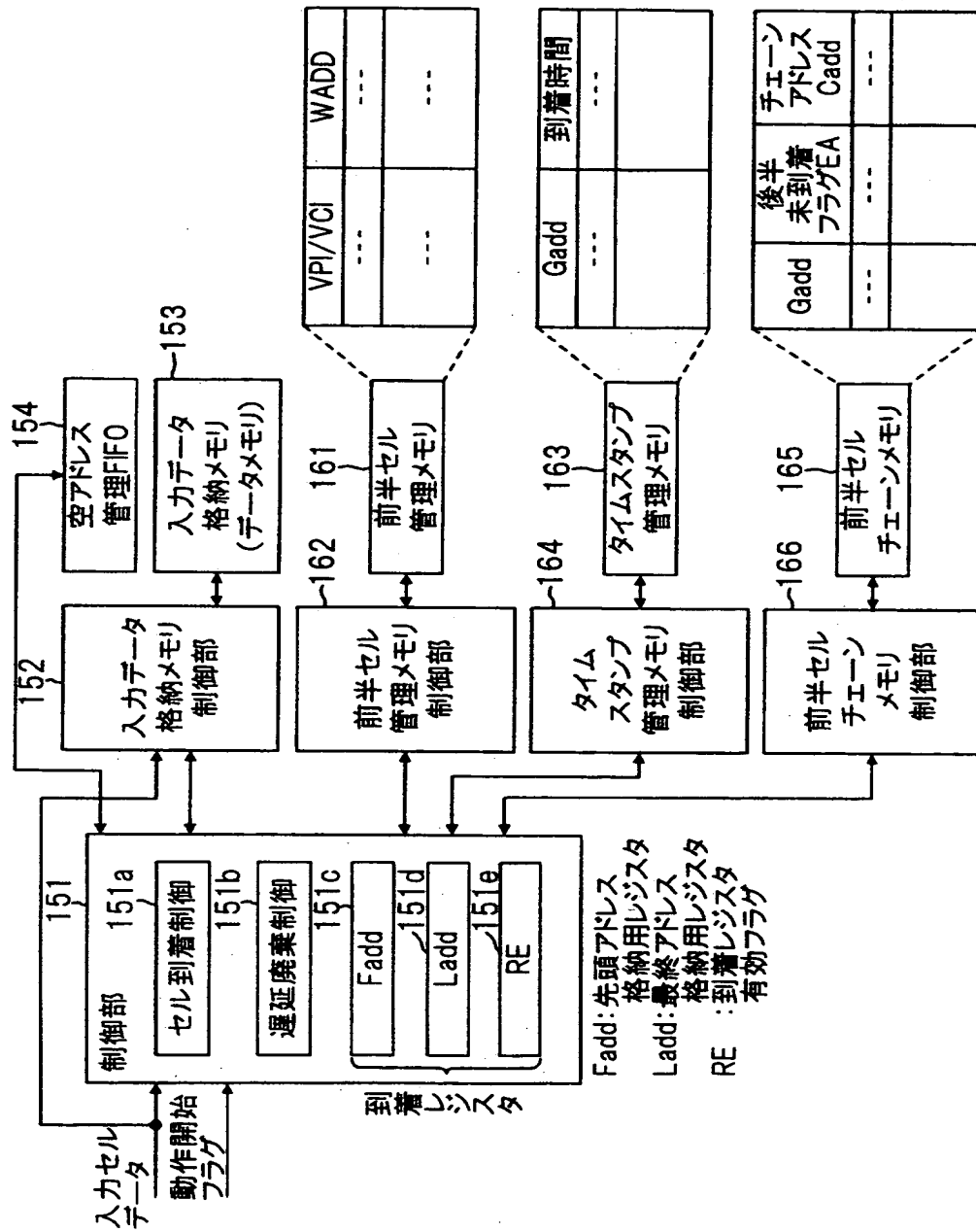
入力DATA格納RAMの構成例



A: 48バイト超過セル前半到着フラグ
 0: 到着無、1: 到着有
 Po: ポーリング済フラグ
 0: ポーリング未、1: ポーリング済
 WADD: 前半セル到着書き込みアドレス

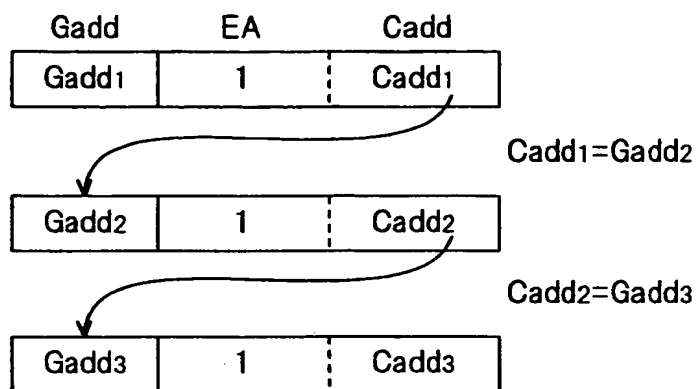
【図 45】

本発明の廃棄制御を実現する第2の構成



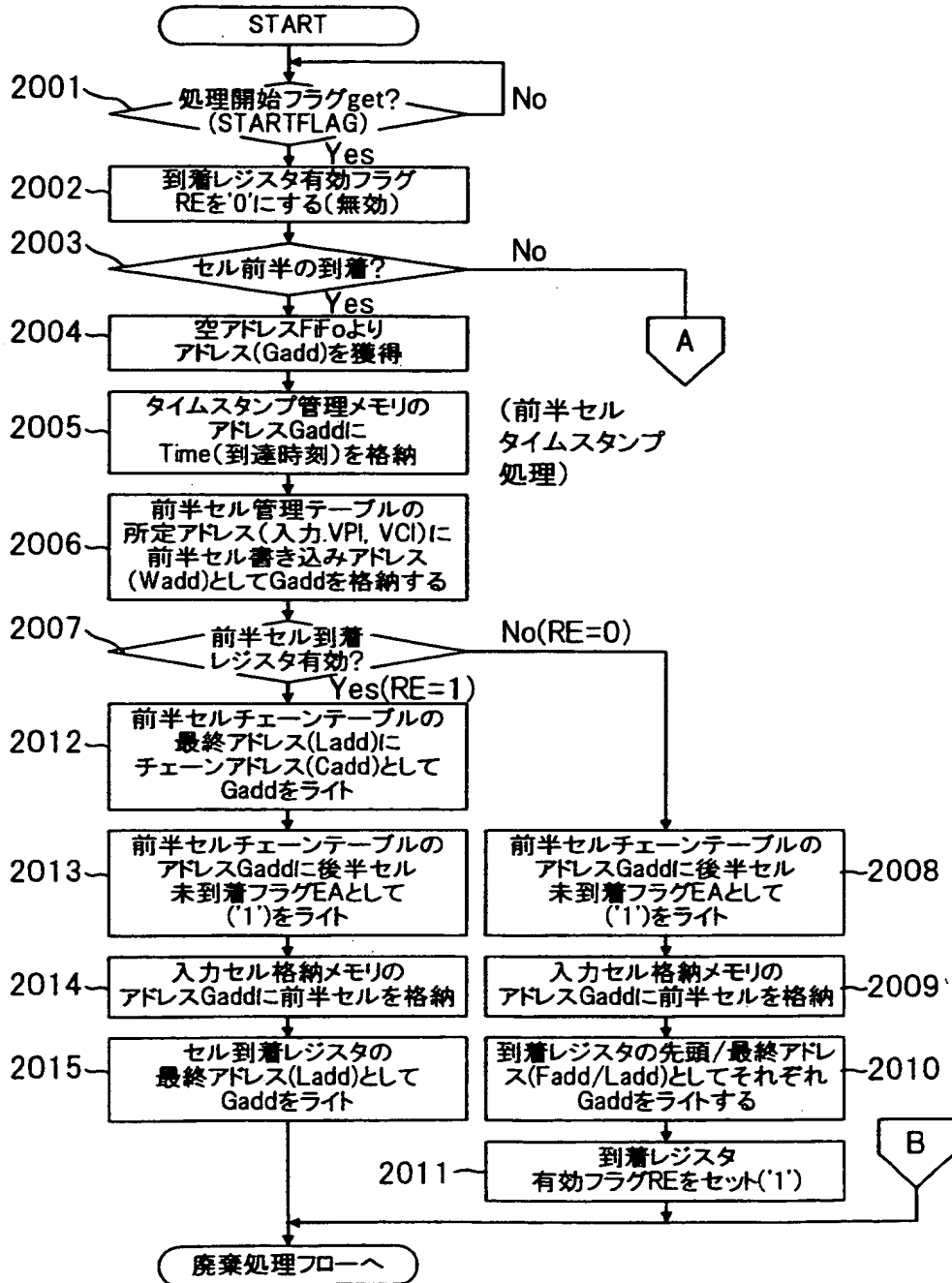
【図 4 6】

チェーンアドレスCaddの説明図



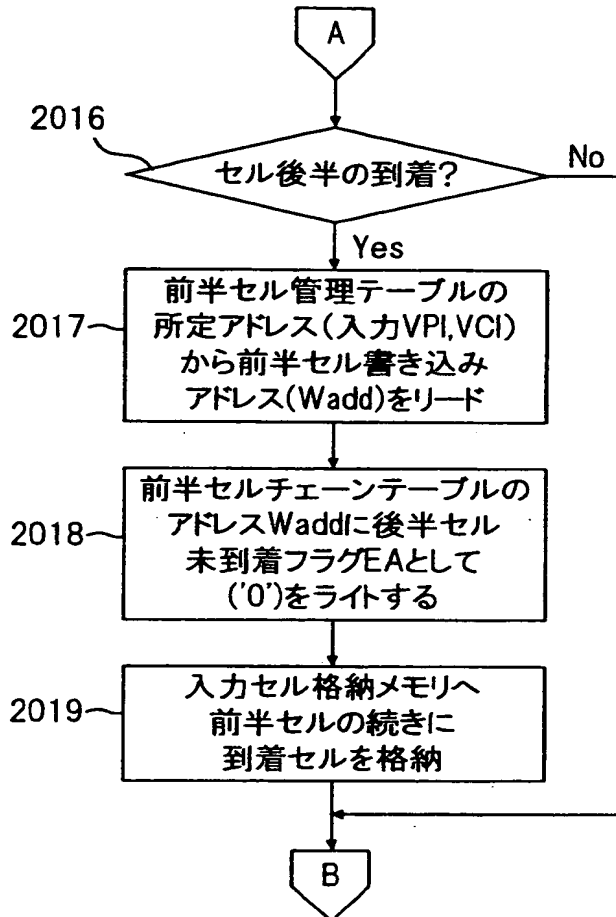
【図 47】

タイムスタンプ処理フロー(その1)



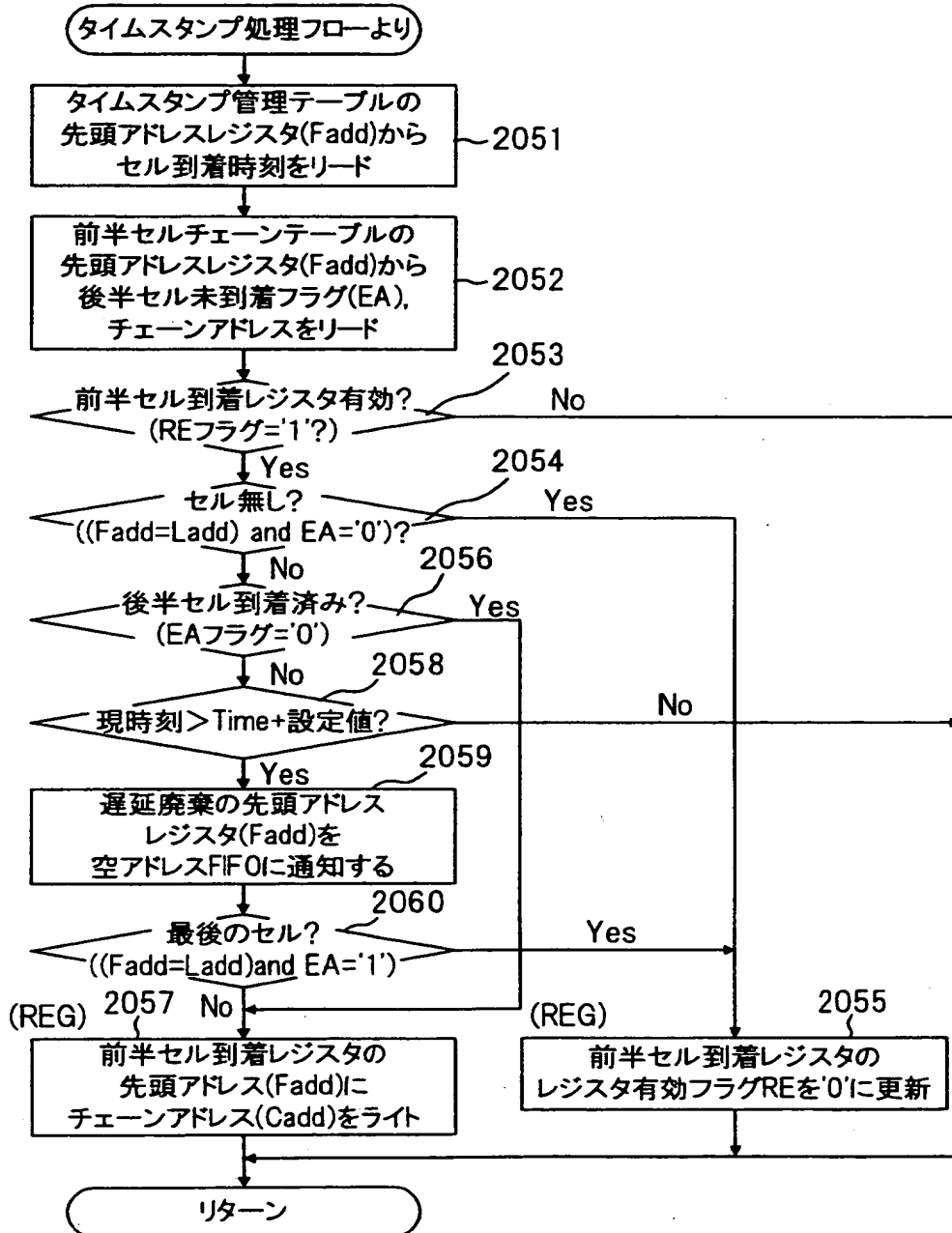
【図 48】

タイムスタンプ処理フロー(その2)



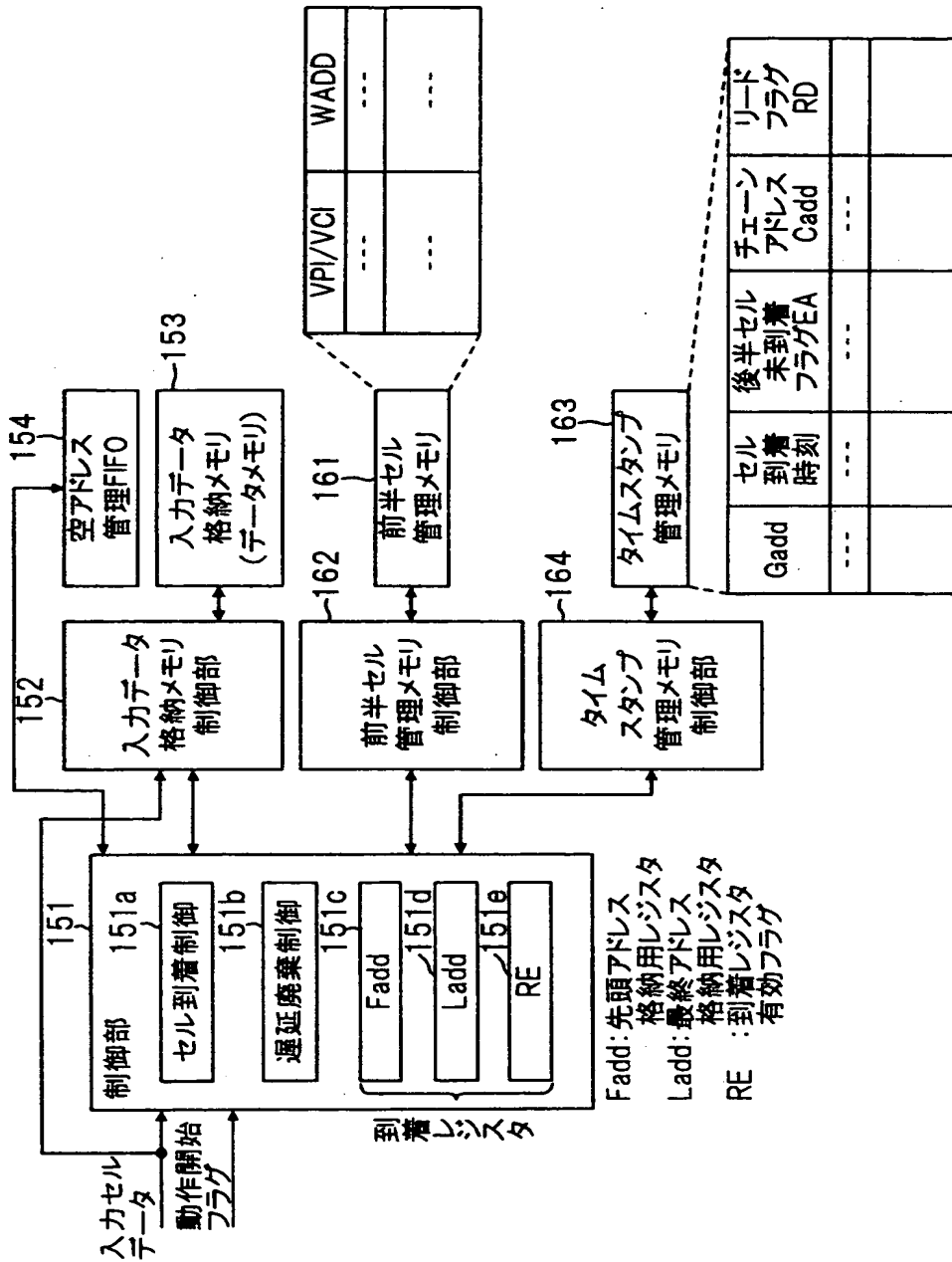
【図 4 9】

遅延廃棄処理フロー



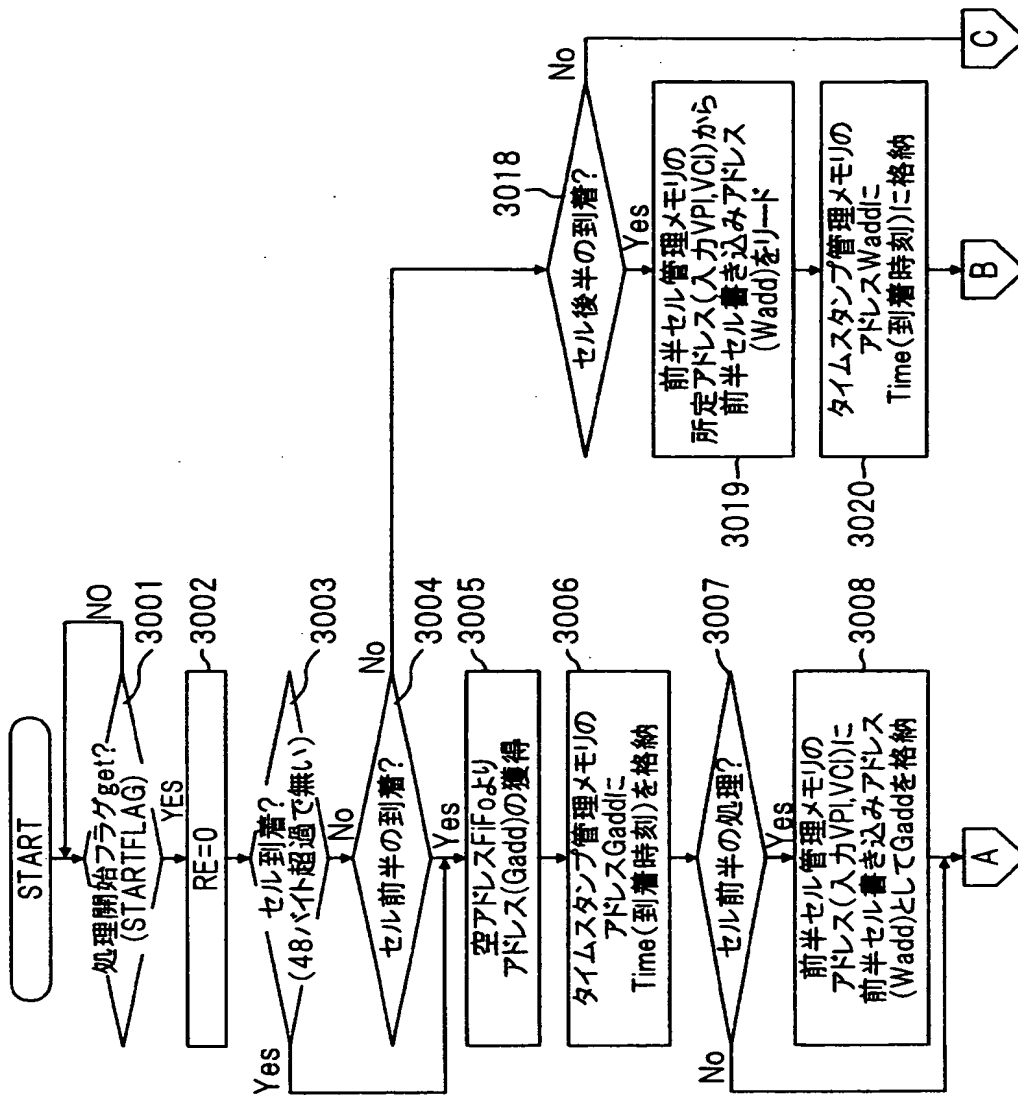
【図 5 0】

本発明の廃棄制御を実現する第3の構成



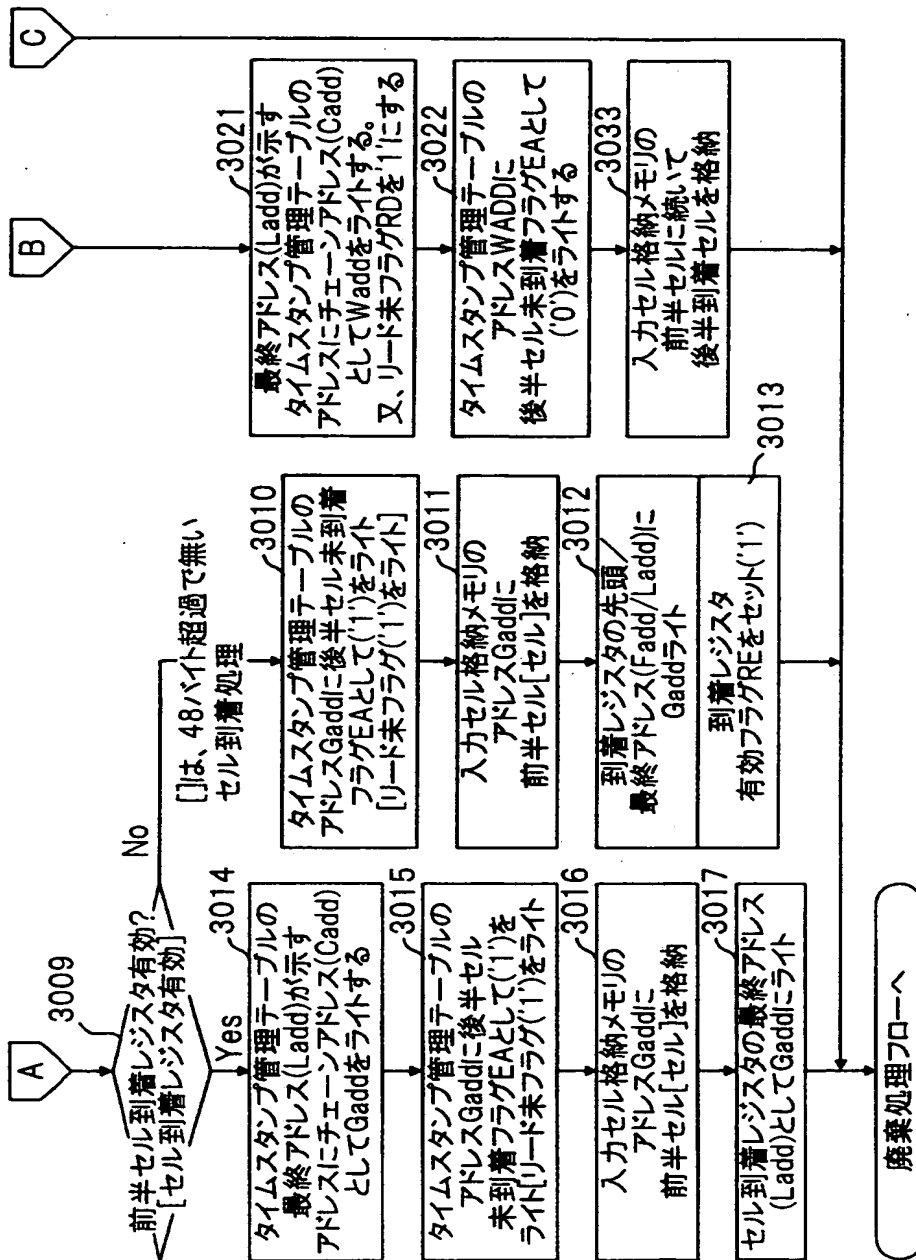
【図 51】

タイムスタンプ処理フロー(その1)



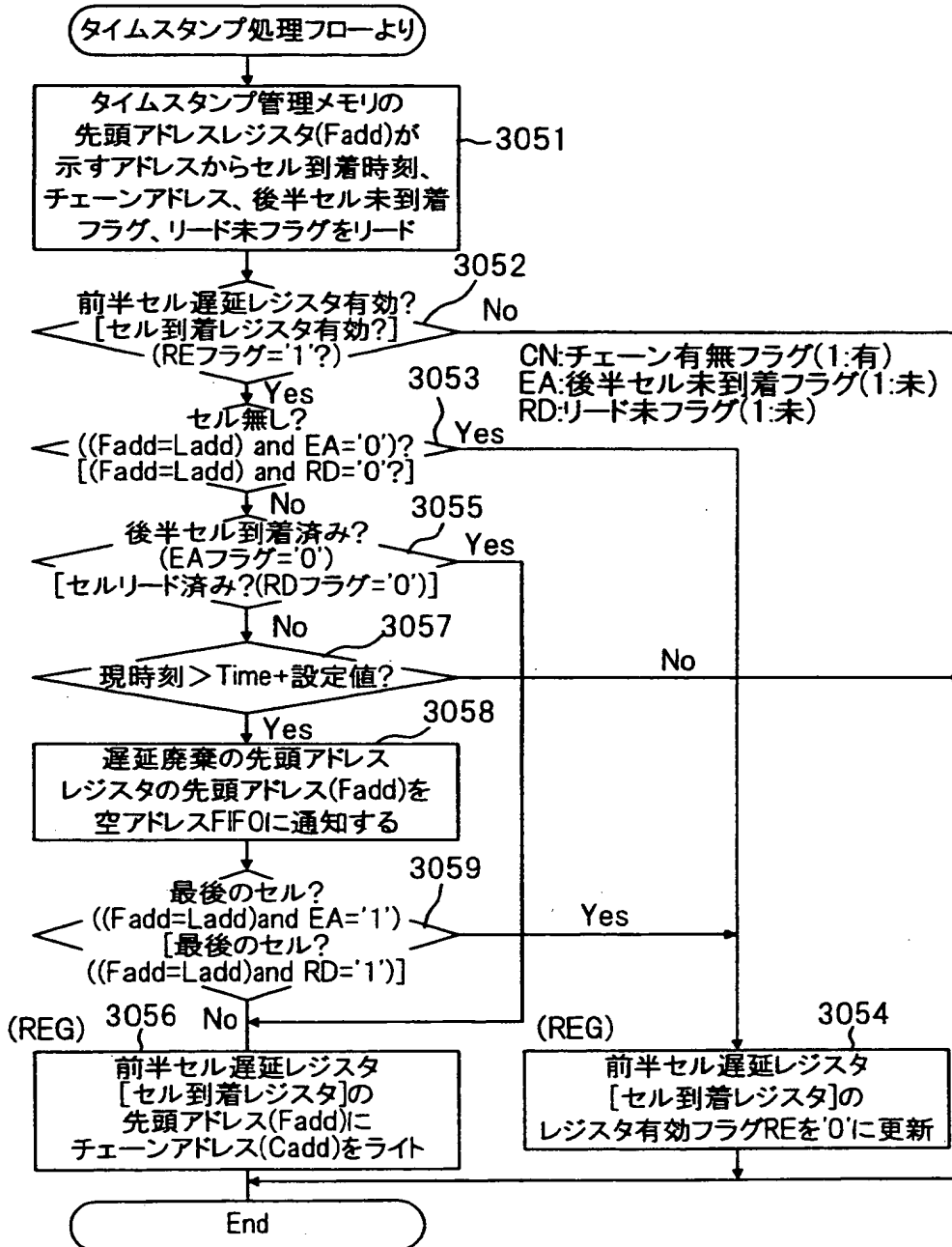
【図 5 2】

タイムスタンプ処理フロー（その2）



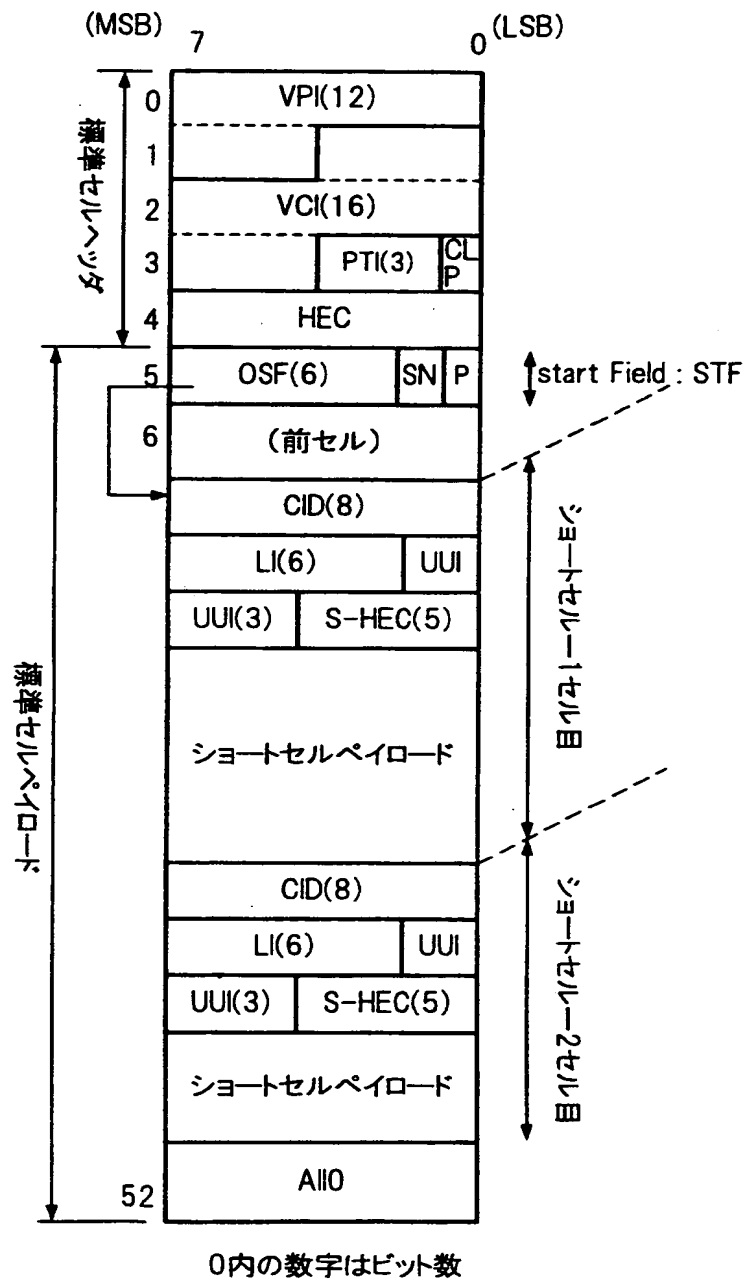
【図 53】

遅延廃棄処理フロー



【図 5 4】

AAL Type2セルフフォーマット説明図



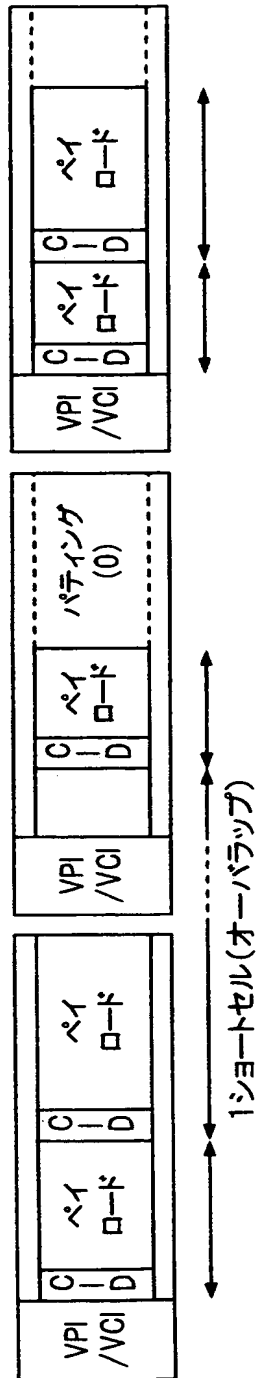
【図 5 5】

AAL Type2セル及びショートセルのフォーマット説明図

略号	bit数	内容	備考
VPI	12	仮想パス識別子	
VCI	16	仮想チャネル識別子	
PTI	3	ペイロードタイプ識別子	
CLP	1	セル損失優先表示	
HEC	8	ヘッダ誤り制御	
OSF	6	オフセットフィールド(ショートセル先頭ポインタ) (0~47) OSF=0: スタートフィールドの直後からショートセルマッピング OSF=47: 当セル内にショートセルの切れ目はない	OSF=48以上は使用禁止
SN	1	1ビットシーケンス番号(0.1.0.1.)	モジュロ2
P	1	パリティ(StartPointer, SNの合計7bitに対して奇数パリティ)	
CID	8	ショートセルコネクション識別子	
LI	6	ショートセルペイロード長表示(0~44) (0はペイロード長1byteを示す)	
UUI	2	ユーザ・ユーザ識別(上位側)	
UUI	3	ユーザ・ユーザ識別(下位側)	
S-HEC	5	ショートセルヘッダ誤り制御(生成多項式 X^3+X^2+1)	

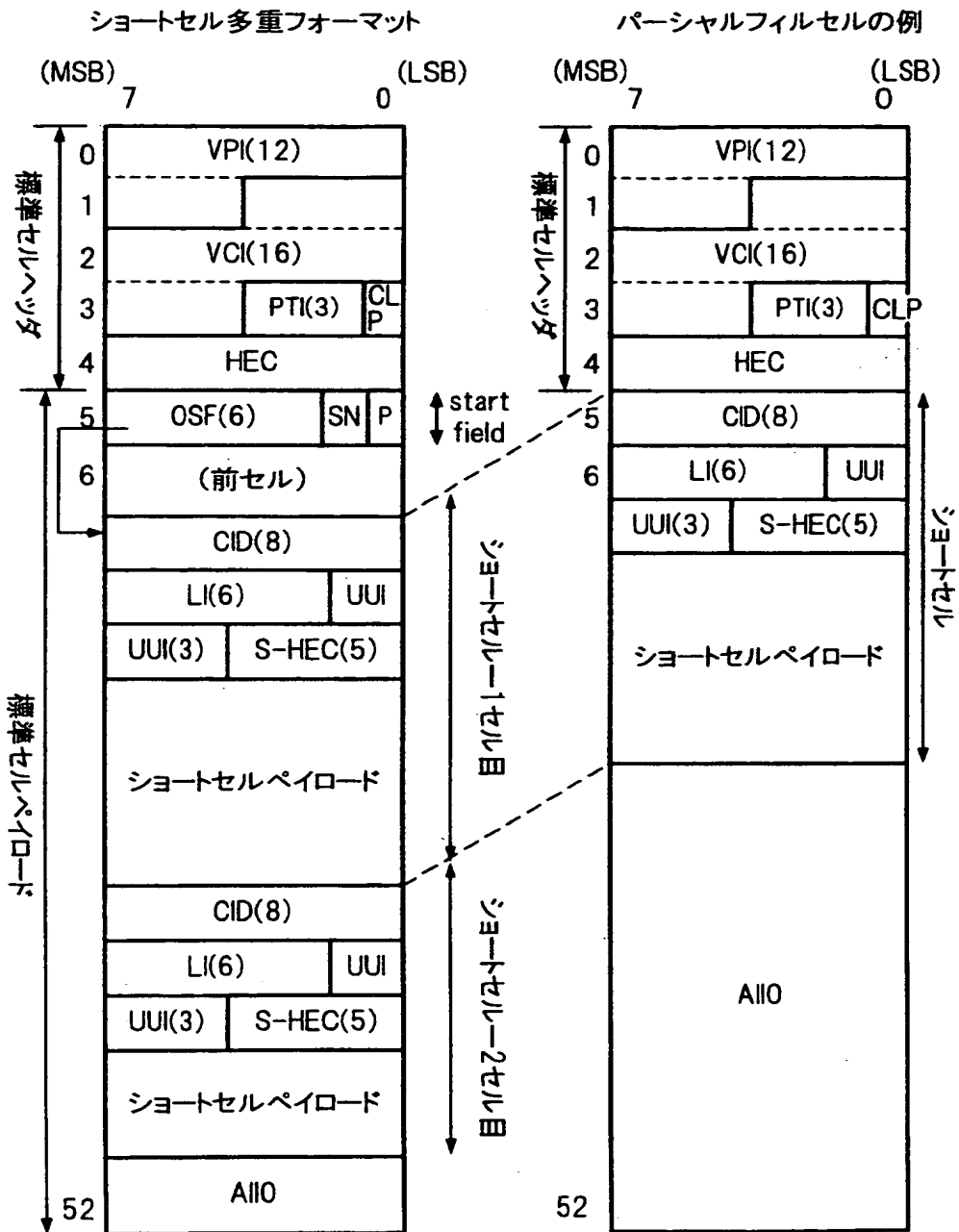
【図 5 6】

AAL Type2による転送方式の概念図



【図 5 7】

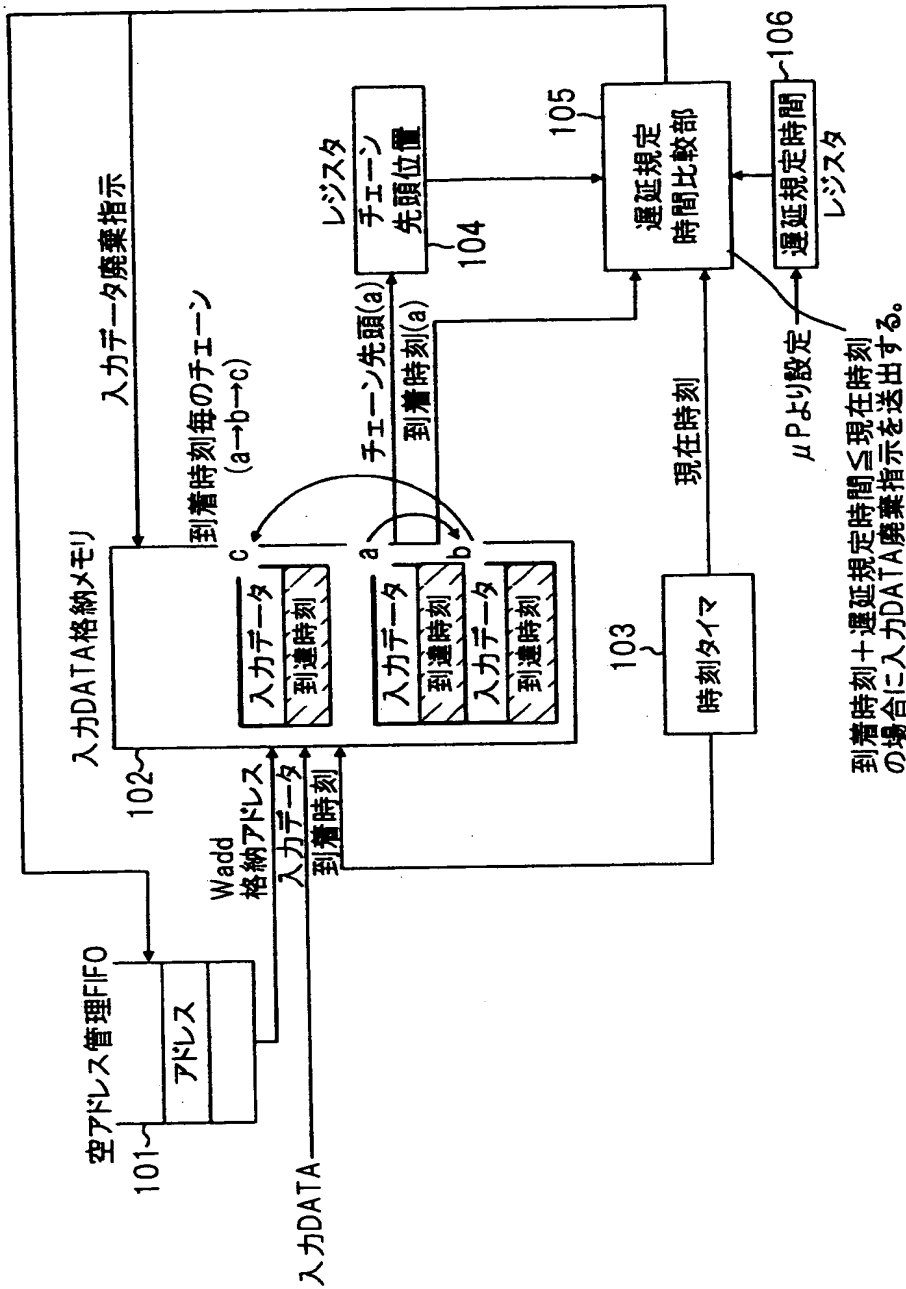
AAL Type2セル、ショートセル及び
パーシャルフィルセルのフォーマット説明図



0内の数字はビット数

【図 5 8】

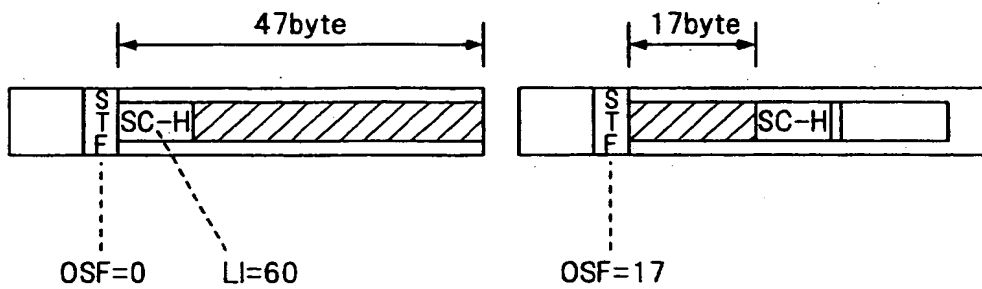
従来の廃棄制御の概略説明図



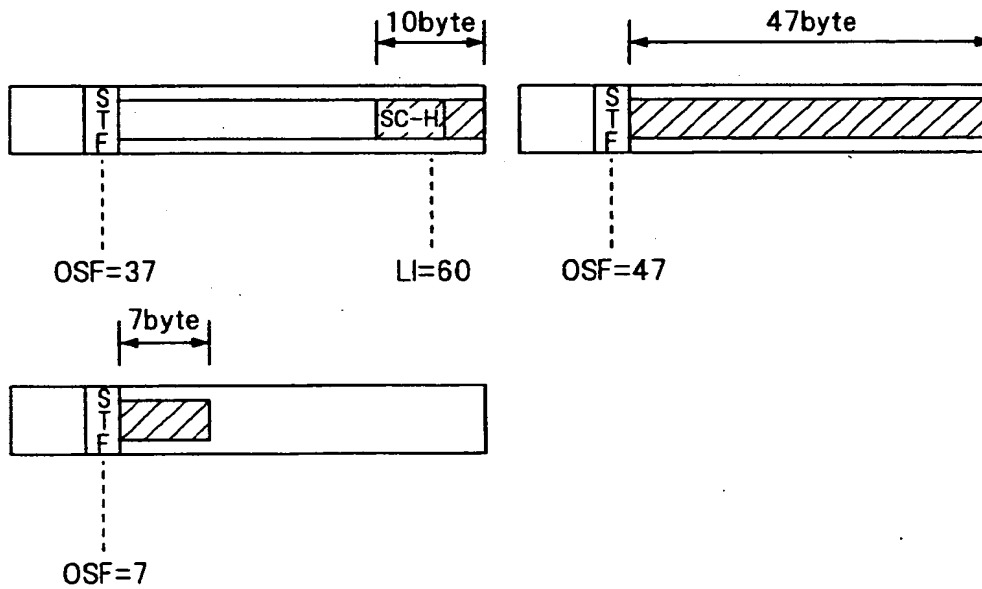
【図 5 9】

64バイト長ショートセル(AAL type2セル)
(AAL2パケットのペイロード長=61byteの場合)

(a) 2セルオーバーラップ



(b) 3セルオーバーラップ



【書類名】 要約書

【要約】

【課題】 48バイトを越えるショートセルを処理できるようにする。

【解決手段】 分離処理部1は、ATMセルに収容できる長さLバイト(=48バイト)より大きい長さのショートパケットを分割し、第1のATMセル(パーシャルフィルセル)PC1のペイロード領域に、(1) 分割した一方のショートパケット部分と(2) ショートパケットの長さ情報を含む有意データを収容し、第2のATMセル(パーシャルフィルセル) PC2のペイロード領域に第1セルに収容出来なかった残りの有意データを収容し、各ATMセルをATMスイッチ2に入力する。又、復元処理部3は、ATMスイッチ2より出力される第1 ATMセルPC1に収容されているショートパケットの長さ情報を参照して、第1、第2のATMセルPC1,PC2にそれぞれ収容されているショートパケット部分を用いてLバイトを越える長さの元のショートパケットを復元し、AALtype2セル形式で回線に送出する。

【選択図】 図1

認定・付加情報

特許出願の番号	平成11年 特許願 第011766号
受付番号	59900044701
書類名	特許願
担当官	塩崎 博子 1606
作成日	平成11年 3月 8日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社
【代理人】	申請人
【識別番号】	100084711
【住所又は居所】	千葉県千葉市花見川区幕張本郷1丁目14番10号 幸栄パレス202 齋藤特許事務所
【氏名又は名称】	齋藤 千幹

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.